

日本国特許庁
JAPAN PATENT OFFICE

05.11.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年11月14日

REC'D 23 DEC 2004

出願番号
Application Number: 特願2003-386021

WIPO

PCT

[ST. 10/C]: [JP2003-386021]

出願人
Applicant(s): 株式会社半導体エネルギー研究所

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年12月13日

特許庁長官
Commissioner,
Japan Patent Office

小川

洋

【書類名】 特許願
【整理番号】 P007497
【提出日】 平成15年11月14日
【あて先】 特許庁長官 殿
【発明者】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究
【住所又は居所】 所内
【氏名】 神野 洋平
【発明者】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究
【住所又は居所】 所内
【氏名】 藤井 厳
【特許出願人】
【識別番号】 000153878
【氏名又は名称】 株式会社半導体エネルギー研究所
【代表者】 山崎 舜平
【手数料の表示】
【予納台帳番号】 002543
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】特許請求の範囲

【請求項 1】

基板上に形成されたチタン又は酸化チタンを含む層と、
 前記層上に形成されたゲート電極層と、
 前記ゲート電極層上に形成されたゲート絶縁膜と、
 前記ゲート絶縁膜上に形成された半導体膜と、
 前記半導体膜上に形成された一対の n 型不純物領域と、
 前記半導体膜上に形成された一対の n 型不純物領域の間に形成され、かつ前記半導体膜上に形成された絶縁膜と
 前記一対の n 型不純物領域の間に形成され、かつ前記半導体膜上に形成された絶縁膜と
 前記一対の n 型不純物領域上に形成された導電層と、
 前記一対の n 型不純物領域上に形成された導電層と、
 を有することを特徴とする半導体素子。

【請求項 2】

基板上に形成されたチタン又は酸化チタンを含む層と、
 前記層上に形成されたゲート電極層と、
 前記ゲート電極層上に形成されたゲート絶縁膜と、
 前記ゲート絶縁膜上に形成された半導体膜と、
 前記ゲート絶縁膜上に形成された半導体膜と、
 前記半導体膜上に形成された一対の n 型不純物領域と、
 前記半導体膜上に形成された一対の n 型不純物領域の間に形成され、かつ前記半導体膜上に形成された、 100
 nm 以上の膜厚を有する絶縁膜と、
 前記一対の n 型不純物領域上に形成された導電層と、
 前記一対の n 型不純物領域上に形成された導電層と、
 を有することを特徴とする半導体素子。

【請求項 3】

基板上に形成されたチタン又は酸化チタンを含む層と、
 前記層上に形成されたゲート電極層と、
 前記ゲート電極層上に形成されたゲート絶縁膜と、
 前記ゲート絶縁膜上に形成された半導体膜と、
 前記ゲート絶縁膜上に形成された半導体膜と、
 前記半導体膜上に形成された一対の n 型不純物領域と、
 前記半導体膜上に形成された一対の n 型不純物領域の間に形成され、かつ前記半導体膜上に形成された絶縁膜と
 前記一対の n 型不純物領域の間に形成され、かつ前記半導体膜上に形成された絶縁膜と
 前記一対の n 型不純物領域上に形成された導電層と、
 前記一対の n 型不純物領域上に形成された導電層と、
 を有し、
 前記絶縁膜が形成された部分の半導体膜の膜厚は、他の半導体膜の膜厚よりも薄く、か
 つ、
 前記絶縁膜が形成された部分の半導体膜の膜厚は、 10 nm 以上であることを特徴とす
 る半導体素子。

【請求項 4】

基板上に形成されたチタン又は酸化チタンを含む層と、
 前記層上に形成されたゲート電極層と、
 前記ゲート電極層上に形成されたゲート絶縁膜と、
 前記ゲート絶縁膜上に形成された半導体膜と、
 前記ゲート絶縁膜上に形成された半導体膜と、
 前記半導体膜上に形成された一対の n 型不純物領域と、
 前記半導体膜上に形成された一対の n 型不純物領域の間に形成され、かつ前記半導体膜上に形成された、 100
 nm 以上の膜厚を有する絶縁膜と、
 前記一対の n 型不純物領域上に形成された導電層と、
 前記一対の n 型不純物領域上に形成された導電層と、
 を有し、
 前記絶縁膜が形成された部分の半導体膜の膜厚は、他の半導体膜の膜厚よりも薄く、か
 つ、
 前記絶縁膜が形成された部分の半導体膜の膜厚は、 10 nm 以上であることを特徴とす
 る半導体素子。

【請求項 5】

請求項 1 乃至 4 のいずれか一項において、

前記絶縁膜は、ポリイミド、アクリル、又はシリコンと酸素との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、若しくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも一種を有する材料からなることを特徴とする半導体素子。

【請求項 6】

請求項 1 乃至 4 のいずれか一項において、

前記絶縁膜は、窒化珪素膜を下層、ポリイミド、アクリル、又はシリコンと酸素との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、若しくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも一種を有する材料からなる膜を上層とする積層構造を有していることを特徴とする半導体素子の作製方法。

【請求項 7】

請求項 1 乃至 6 のいずれか一項において、

前記ゲート電極層又は前記導電層は、Ag 又はCu を含むことを特徴とする半導体素子の作製方法。

【請求項 8】

請求項 1 乃至 6 のいずれか一項において、

前記ゲート電極層又は前記導電層は、Cu をバッファ層を介してAg で包んだ形状を有する粒子からなり、

前記バッファ層は、Ni 又はNiB (ニッケルボロン) からなることを特徴とする半導体素子の作製方法。

【請求項 9】

請求項 1 乃至 8 のいずれか一項において、

前記基板の面積は、(250～350mm) × (300～400mm) であることを特徴とする半導体素子の作製方法。

【請求項 10】

請求項 1 乃至 9 のいずれか一項に記載の半導体素子を有するEL テレビジョン装置。

【請求項 11】

請求項 1 乃至 9 のいずれか一項に記載の半導体素子を有する液晶表示装置。

【請求項 12】

基板上に第1の導電材料を含む組成物を吐出することによりゲート電極層を形成し、

前記ゲート電極層上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上に半導体膜を形成し、

前記半導体膜上に一導電型の不純物元素を含む半導体膜を形成し、

前記一導電型の不純物元素を含む半導体膜上に、第2の導電材料を含む組成物を吐出することにより、ソース電極及びドレイン電極を形成し、

前記ソース電極及びドレイン電極をマスクとして、前記一導電型の不純物元素を含む半導体膜を除去することにより、ソース領域及びドレイン領域を形成し、

前記半導体膜のうちチャネル領域となる部分の上方に、絶縁膜を形成し、

前記ソース電極、ドレイン電極及び前記絶縁膜をマスクとして、前記半導体膜を除去することにより、島状半導体膜を形成することを特徴とする半導体素子の作製方法。

【請求項 13】

基板上の少なくともゲート電極層が形成される部分に対して、チタン又は酸化チタンを形成し、

前記チタン又は酸化チタンが形成された基板上に、第1の導電材料を含む組成物を吐出することによりゲート電極層を形成し、

前記ゲート電極層上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上に半導体膜を形成し、

前記半導体膜上に一導電型の不純物元素を含む半導体膜を形成し、

前記一導電型の不純物元素を含む半導体膜上に、第2の導電材料を含む組成物を吐出する

ることにより、ソース電極及びドレイン電極を形成し、前記ソース電極及びドレイン電極をマスクとして、前記一導電型の不純物元素を含む半導体膜を除去することにより、ソース領域及びドレイン領域を形成し、

前記ソース電極及びドレイン電極のうちチャネル領域となる部分の上方に、絶縁膜を形成し、

前記半導体膜のうちチャネル領域となる部分の上方に、絶縁膜を形成し、

前記ソース電極、ドレイン電極及び前記絶縁膜をマスクとして、前記半導体膜を除去することにより、島状半導体膜を形成することを特徴とする半導体素子の作製方法。

【請求項 14】

基板上の少なくともゲート電極層が形成される部分に対して、ポリイミド、アクリル、又はシリコンと酸素との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、若しくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも一種を有する材料からなる膜を形成し、

前記膜が形成された基板上に、第1の導電材料を含む組成物を吐出することによりゲート電極層を形成し、

前記ゲート電極層上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上に半導体膜を形成し、

前記半導体膜上に一導電型の不純物元素を含む半導体膜を形成し、

前記半導体膜上に一導電型の不純物元素を含む半導体膜上に、第2の導電材料を含む組成物を吐出することにより、ソース電極及びドレイン電極を形成し、

前記ソース電極及びドレイン電極をマスクとして、前記一導電型の不純物元素を含む半導体膜を除去することにより、ソース領域及びドレイン領域を形成し、

前記半導体膜のうちチャネル領域となる部分の上方に、絶縁膜を形成し、

前記半導体膜のうちチャネル領域となる部分の上方に、絶縁膜を形成し、

前記ソース電極、ドレイン電極及び前記絶縁膜をマスクとして、前記半導体膜を除去することにより、島状半導体膜を形成することを特徴とする半導体素子の作製方法。

【請求項 15】

基板上の少なくともゲート電極層が形成される部分に対して、プラズマ処理を施し、前記プラズマ処理が施された基板上に、第1の導電材料を含む組成物を吐出することによりゲート電極層を形成し、

前記ゲート電極層上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上に半導体膜を形成し、

前記半導体膜上に一導電型の不純物元素を含む半導体膜を形成し、

前記半導体膜上に一導電型の不純物元素を含む半導体膜上に、第2の導電材料を含む組成物を吐出することにより、ソース電極及びドレイン電極を形成し、

前記ソース電極及びドレイン電極をマスクとして、前記一導電型の不純物元素を含む半導体膜を除去することにより、ソース領域及びドレイン領域を形成し、

前記半導体膜のうちチャネル領域となる部分の上方に、絶縁膜を形成し、

前記半導体膜のうちチャネル領域となる部分の上方に、絶縁膜を形成し、

前記ソース電極、ドレイン電極及び前記絶縁膜をマスクとして、前記半導体膜を除去することにより、島状半導体膜を形成することを特徴とする半導体素子の作製方法。

【請求項 16】

請求項 12 乃至 15 のいずれか一項において、

前記絶縁膜は、ポリイミド、アクリル、又はシリコンと酸素との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、若しくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも一種を有する材料からなることを特徴とする半導体素子の作製方法。

【請求項 17】

請求項 12 乃至 15 のいずれか一項において、

請求項 12 乃至 15 のいずれか一項において、前記絶縁膜と同一又は異なる材料からなる少なくとも前記島状半導体膜の側面に接して、前記絶縁膜と同一又は異なる材料からなる絶縁膜を形成することを特徴とする半導体素子の作製方法。

【請求項 18】

請求項 16 において、

前記プラズマ処理は、大気圧下で行われることを特徴とする半導体素子の作製方法。

【請求項 19】
 基板上に第1の導電材料を含む組成物を吐出することによりゲート電極層を形成し、
 前記ゲート電極層上にゲート絶縁膜を形成し、
 前記ゲート絶縁膜上に半導体膜を形成し、
 前記半導体膜上に一導電型の不純物元素を含む半導体膜を形成し、
 前記半導体膜上に一導電型の不純物元素を含む半導体膜上に、第2の導電材料を含む組成物を吐出することにより、ソース電極及びドレイン電極を形成し、
 前記ソース電極及びドレイン電極をマスクとして、前記一導電型の不純物元素を含む半導体膜を除去することにより、ソース領域及びドレイン領域を形成し、
 前記ソース電極及びドレイン電極上に、第1の絶縁膜をCVD法又はスパッタ法によつて形成し、
 前記半導体膜のうちチャネル領域となる部分の上方で、かつ第1の絶縁膜上に、第2の絶縁膜を液滴吐出法によって形成し、
 前記ソース電極、ドレイン電極及び第2の絶縁膜をマスクとして、前記第1の絶縁膜及び前記半導体膜を除去することにより、島状半導体膜を形成することを特徴とする半導体素子の作製方法。

【請求項 20】

請求項19において、
 前記第1の絶縁膜は、窒化珪素膜であることを特徴とする半導体素子の作製方法。

【請求項 21】

請求項19において、
 前記第2の絶縁膜は、ポリイミド、アクリル、又はシリコンと酸素との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、若しくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも一種を有する材料からなることを特徴とする半導体素子の作製方法。

【請求項 22】

請求項12乃至21のいずれか一項において、
 前記第1又は第2の導電材料は、Ag又はCuを含むことを特徴とする半導体素子の作製方法。

【請求項 23】

請求項12乃至21のいずれか一項において、
 前記第1又は第2の導電材料は、Cuをバッファ層を介してAgで包んだ形状を有する粒子からなり、
 前記バッファ層は、Ni又はNiB(ニッケルボロン)からなることを特徴とする半導体素子の作製方法。

【請求項 24】

請求項12乃至23のいずれか一項において、
 前記基板の面積は、(250~350mm) × (300~400mm)であることを特徴とする半導体素子の作製方法。

【請求項 25】

請求項12乃至24のいずれか一項に記載の半導体素子の作製方法を用いて作製された半導体素子を有するELテレビジョン装置。

【請求項 26】

請求項12乃至24のいずれか一項に記載の半導体素子の作製方法を用いて作製された半導体素子を有する液晶表示装置。

【書類名】明細書

【発明の名称】半導体素子及びその作製方法

【技術分野】

【0001】

本発明は、インクジェット法に代表される液滴吐出法を用いた半導体素子及びその作製方法、特に、液晶ディスプレイ、ELディスプレイに代表される表示装置に用いられる半導体素子及びその作製方法に関するものである。

【背景技術】

【0002】

半導体素子の作製において、設備の低コスト化、工程の簡略化を目的として、半導体素子に用いられる薄膜や配線のパターン形成に、液滴吐出装置を用いることが検討されてい

る。

【0003】

その際、半導体素子を構成するゲート電極、走査線、信号線、画素電極等の各種配線等の形成にあたっては、液滴吐出装置のノズルから導電材料を溶媒に溶解又は分散させた組成物を、基板や膜の上方に吐出することによって該各種配線を直接描画するようにして形成する方法が用いられていた（特許文献1参照）。

【特許文献1】特開2003-126760

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかし、アクティブマトリクス型の液晶ディスプレイ（LCD）や、ELディスプレイに代表される表示装置に用いられる薄膜トランジスタ（TFT）等の半導体素子を作製するにあたっては、従来の成膜工程及びパターニング、エッチング工程の繰り返しによって作製されるTFTとは異なった、液滴吐出法に最適な構造及び工程の確立が求められている。特に、TFTが形成される基板のサイズが一辺1mを超えるものから、疊数層分へと移行していくにつれて、液滴吐出法を用いて作製されるTFTの構造及び工程の簡略化が求められている。

【0005】

特に、上記TFTをチャネル保護型、チャネルエッチ型に代表される逆スタガ型（ボトムゲート型）の構造とする場合には、半導体膜及びn型の不純物元素を含む半導体膜を基板全面に形成した後、レジストマスク等を用いてエッチングを行うことにより、島状の半導体領域を形成し、さらに、メタルマスク等を用いてn型の不純物元素を含む半導体膜を分離し、ソース領域及びドレイン領域を形成していた。このように、島状の半導体領域を形成する際には、レジストマスクを露光、現像工程や液滴吐出工程を経て形成する必要があり、工程数、材料の種類の増加を招いていた。

【0006】

本発明は、このような問題点を解決すべくなされたものであり、積極的に液滴吐出法を用いるに適した半導体素子の作製方法を提案するものである。これによって、あらゆる面積の基板に対応でき、しかも、高スループット、高歩留まり、短縮されたタクトタイムで、安定性の高い半導体素子を作製することができる。

【課題を解決するための手段】

【0007】

上述した課題を解決すべく、本発明においては以下の構成を備えている。

【0008】

本発明に係る半導体素子の作製方法は、基板上に第1の導電材料を含む組成物を吐出することによりゲート電極層を形成し、前記ゲート電極層上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に半導体膜を形成し、前記半導体膜上に一導電型の不純物元素を含む半導体膜を形成し、前記一導電型の不純物元素を含む半導体膜上に、第2の導電材料を含む組成物を吐出することにより、ソース電極及びドレイン電極を形成し、前記ソース電極及び

ドレン電極をマスクとして、前記一導電型の不純物元素を含む半導体膜を除去することにより、ソース領域及びドレン領域を形成し、前記半導体膜のうちチャネル領域となる部分の上方に、絶縁膜を形成し、前記ソース電極、ドレン電極及び前記絶縁膜をマスクとして、前記半導体膜を除去することにより、島状半導体膜を形成することを特徴としている。

【0009】

すなわち、まず、基板上に液滴吐出法を用いてゲート電極層を形成し、さらにゲート絶縁膜、半導体膜、一導電型の不純物元素を含む半導体膜（以下、単に「一導電型半導体膜」という。）を、CVD法やスパッタ法等の薄膜形成法によって積層形成した後、液滴吐出法を用いてソース電極及びドレン電極を形成する。次に、該ソース電極及びドレン電極をマスクとして、露出した一導電型半導体膜をエッチング等によって除去することにより、ソース領域及びドレン領域を形成する。次に、半導体膜のチャネル領域となる部分が除去されるのを防止するため、液滴吐出法等で形成可能な絶縁膜で該部分を覆っておく。ここで、該絶縁膜はチャネル保護膜として機能する。さらに、ソース電極、ドレン電極及び該絶縁膜をマスクとして、露出した半導体膜をエッチング等によって除去することによって島状半導体膜を形成する。以上の工程を経て、外見上はチャネル保護型を有する半導体素子を得ることができ、さらにソース電極又はドレン電極に画素電極を接続し、液晶素子や有機EL等を用いた発光素子を設けることで、所望の液晶表示装置や、発光装置を得ることができる。

【0010】

また、本発明の他の構成としては、上記発明において、基板上に第1の導電材料を含む組成物を吐出する前に、基板上の少なくともゲート電極層が形成される部分に対して、前処理を行うことを特徴としている。前処理としては、チタン、酸化チタン等を含む層の形成、ポリイミド、アクリル、又はシリコンと酸素との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、若しくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも一種を有する材料からなる膜の形成、プラズマ処理等が挙げられる。なお、プラズマ処理の場合には、大気圧下で行うことが望ましい。

【0011】

また、本発明の他の構成としては、上記発明において、ソース領域及びドレン領域を形成した後、前記ソース電極及びドレン電極上に、第1の絶縁膜をCVD法又はスパッタ法によって形成し、前記半導体膜のうちチャネル領域となる部分の上方で、かつ第1の絶縁膜上に、第2の絶縁膜を液滴吐出法によって形成し、チャネル保護膜として機能する絶縁膜を2層構造とすることを特徴としている。ここで、第2の絶縁膜は、チャネル保護膜として機能するのみならず、CVD法等によって基板全面に形成された第1の保護膜を除去する際のマスクとしても機能する。なお、第1の絶縁膜としては、珪素を含む絶縁膜を用いることができるが、好ましくは、窒化珪素膜を用いるのがよい。また、第2の絶縁膜としては、液滴吐出法で選択的に形成可能な絶縁膜であれば種類は問わないが、ポリイミド、アクリル、又はシリコンと酸素との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、若しくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも一種を有する材料からなる膜を用いることが望ましい。なお、該絶縁膜は2層構造に限らず、3層以上に積層させてもよい。

【0012】

ここで、シリコンと酸素との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、若しくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも一種を有する材料は、シロキサン系樹脂と呼ばれ、耐熱性平坦化膜又は耐熱性層間膜（H R I L ; Heat Resistant Interlayer）の一種である。以後、耐熱性平坦化膜、耐熱性層間膜、耐熱性樹脂又はH R I L と言うときは、シロキサン系樹脂を含むものとする。

【0013】

なお、上記導電材料や絶縁膜を形成する際に用いる液滴吐出法としては、インクジェット法のみならず、形成する膜の性質に応じて、オフセット印刷法や、スクリーン印刷法を

採用しても構わない。

【0014】

また、本発明に係る半導体素子は、基板上に形成されたチタン又は酸化チタンを含む層と、前記層上に形成されたゲート電極層と、前記ゲート電極層上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された半導体膜と、前記半導体膜上に形成された一対のn型不純物領域と、前記一対のn型不純物領域の間に形成され、かつ前記半導体膜上に形成された絶縁膜と、前記一対のn型不純物領域上に形成された導電層と、を有することを特徴としている。

【0015】

好ましくは、前記絶縁膜は、チャネル保護膜としての機能を果たすため、100nm以上の膜厚を有しているのがよい。また、該絶縁膜は積層構造としてもよい。例えば、下層を塗化珪素膜のようなCVD法やスパッタ法で形成可能な膜とし、上層をポリイミド、アクリルや、シロキサン等の耐熱性樹脂のような液滴吐出法で形成可能な膜とすることができる。また、上下層とも、液滴吐出法で形成可能な膜としてもよい。また、前記絶縁膜が形成された部分の半導体膜の膜厚は、好ましくは、10nm(100Å)以上を有しているのが望ましい。

【発明の効果】

【0016】

従来は、島状半導体膜を形成してから一導電型半導体膜をエッチング除去し、ソース領域及びドレイン領域を形成していたため、島状半導体膜を形成する際に、レジストマスクを設けることが必須であった。それに対し本発明は、上記方法を用いて、ソース領域及びドレイン領域を形成した後に、チャネル領域となる部分をチャネル保護膜として機能する絶縁膜で覆い、島状半導体膜を形成しているため、レジストマスクを設ける必要がなく、工程を簡略化することができる。このように、本発明は、ソース電極及びドレイン電極のメタルマスクを用いて一導電型半導体膜を除去し、ソース領域及びドレイン領域を形成するというチャネルエッチ型特有の方法と、その後、チャネル領域が除去されるのを防ぐためにチャネル保護膜を形成するというチャネル保護型特有の方法とを混合させた、新たなタイプの半導体素子の形成手段を有することを特徴としている。そして、本発明は、上記構成を備えていることにより、レジストマスクを全く用いることなく、ソース電極及びドレイン電極のメタルマスクのみで半導体素子を作製することができる。

【0017】

また、基板上に第1の導電材料を含む組成物を吐出する前に、基板上の少なくともゲート電極層が形成される部分に対して、酸化チタン(TiO_x)形成等の前処理を行うことによって、基板と液滴吐出法によって吐出形成されたゲート電極層等の導電膜との密着性を高めることができる。

【0018】

また、前記絶縁膜が形成された部分の半導体膜の膜厚が、他の半導体膜の膜厚よりも薄くすることにより、チャネルエッチ工程において、n型不純物領域をソース領域と、ドレイン領域に確実に分離することができ、また、前記絶縁膜が形成された部分の半導体膜の膜厚が、10nm以上とすることにより、十分に大きなチャネル移動度を確保することができる。

【0019】

また、前記絶縁膜の膜厚を100nm以上とすることにより、チャネル保護膜としての機能を高め、チャネル領域の損傷を確実に防止することができ、移動度の高い安定した半導体素子を提供することができる。また、前記絶縁膜を、第1の絶縁膜と第2の絶縁膜の2層構造、あるいはそれ以上の多層構造とすることも、上記効果を確保する上で有効である。

【発明を実施するための最良の形態】

【0020】

本発明を用いた半導体素子、及びその作製方法について、図1を参照して説明する。

[0021]

【0021】 まず、基板100上の少なくともゲート電極層が形成される部分に、チタン(Ti)、酸化チタン(TiO_x)等の所謂光触媒物質や、ポリイミド、アクリルや、シロキサン等の耐熱性樹脂を形成する。ここでは、酸化チタン膜132を形成した。又は、プラズマ処理を施してもよい。これらの前処理によって、後に導電材料を含む組成物を吐出することによって形成される導電膜と基板100との密着性を高めることができる。また、酸化チタンを形成した場合には、光の透過率を向上させることができる。酸化チタンは直接形成してもよいし、チタンを成膜した後に、導電膜を焼成する際に同時に焼成することによってもよい。なお、チタン、酸化チタンの他にも、チタン酸ストロンチウム(ても得ることができる)、セレン化カドミウム($CdSe$)、タンタル酸カリウム($KTaO_3$)、 $SrTiO_3$)、セレン化カドミウム($CdSe$)、タンタル酸カリウム($KTaO_3$)、 $SrTiO_3$)、セレン化カドミウム($CdSe$)、タンタル酸カリウム($KTaO_3$)、 $SrTiO_3$)、セレン化カドミウム($CdSe$)、酸化ジルコニウム(ZrO_2)、酸化ニオブ(Nb_2O_5)、硫化カドミウム(CdS)、酸化亜鉛(ZnO)、酸化鉄(Fe_2O_3)、酸化タンクス滕(WO_3)等の光触媒物質を形成してもよい。上記前処理は、基板と導電膜との密着性を向上させるため、できるだけ行うことが望ましい。

[0022]

【0022】 次に、基板100上に、前記前処理を行った場合には、該処理が施された部分の上方に、第1の導電材料を含む組成物を吐出することによりゲート電極層102を形成する。ここで、ゲート電極層とは、少なくともTFTのゲート電極部を含む一層又は多層の導電体からなる層を指す。ゲート電極層は、該組成物を吐出した後、該組成物に対し100℃、3分間の乾燥を行い、さらに窒素又は酸素雰囲気下において、200～350℃で15分間～30分間の焼成を行うことにより形成するが、この条件に限定されるものではない。

[0 0 2 3]

100241

【0024】 また、特に透明導電膜として用いられる材料に対しては、珪素 (Si) 又は酸化珪素 (SiO_x) を、上記導電材料に含有させて用いてもよい。例えば、ITOに酸化珪素を含有させた導電材料 (通常「ITO-SiO_x」と称されるが、ここでは便宜的に「ITS」又は「NITO」と呼ぶ。) を用いることができる。また、これらの導電材料からなる層を積層させて所望の導電膜を形成してもよい。

卷之二

【0025】 また、液滴吐出手段に用いるノズルの径は、0.1~50 μm (好適には0.6~26 μm) に設定し、ノズルから吐出される組成物の吐出量は0.00001 p1~50 p1 (好適には0.0001~10 p1) に設定する。この吐出量は、ノズルの径の大きさに比例して増加する。また、被処理物とノズル吐出口との距離は、所望の箇所に滴下するた

めに、できる限り近づけておくことが好ましく、好適には0.1~2mm程度に設定する。

【0026】

なお、吐出口から吐出する組成物は、比抵抗値を考慮して、金、銀、銅のいずれかの材料を溶媒に溶解又は分散させたものを用いることが好ましい。より好ましくは、低抵抗な銀又は銅を用いるとよい。但し、銅を用いる場合には、不純物対策のため、合わせてバリア膜を設けるとよい。溶媒は、酢酸ブチル、酢酸エチル等のエステル類、イソプロピルアルコール、エチルアルコール等のアルコール類、メチルエチルケトン、アセトン等の有機溶剤等を用いればよい。ここで、銅を配線として用いる場合のバリア膜としては、窒化シリコン、酸化窒化シリコン、窒化アルミニウム、窒化チタン、窒化タンタル (TaN: Tantalum Nitride) など窒素を含む絶縁性又は導電性の物質を用いると良く、これらを液滴吐出法で形成しても良い。

【0027】

なお、液滴吐出法に用いる組成物の粘度は300mPa·s以下が好適であり、これは、乾燥を防止し、吐出口から組成物を円滑に吐出できるようにするためである。なお、用いる溶媒や用途に合わせて、組成物の粘度、表面張力等は適宜調整するとよい。一例として、ITO、ITSO、有機インジウム、有機スズを溶媒に溶解又は分散させた組成物の粘度は5~50mPa·s、銀を溶媒に溶解又は分散させた組成物の粘度は5~20mPa·s、金を溶媒に溶解又は分散させた組成物の粘度は10~20mPa·sである。

【0028】

各ノズルの径や所望のパターン形状などに依存するが、ノズルの目詰まり防止や高精細なパターンの作製のため、導電材料の粒子の径はなるべく小さい方が好ましく、好適には粒径0.1μm以下が好ましい。組成物は、電解法、アトマイズ法又は湿式還元法等の公知の方法で形成されるものであり、その粒子サイズは、一般的に約0.5~10μmである。ただし、ガス中蒸発法で形成すると、分散剤で保護されたナノ分子は約7nmと微細であり、またこのナノ粒子は、被覆剤を用いて各粒子の表面を覆うと、溶剤中に凝集がなく、室温で安定に分散し、液体とほぼ同じ挙動を示す。したがって、被覆剤を用いることが好ましい。

【0029】

また、一導電材料の周囲を他の導電材料で覆った粒子を含む組成物を吐出形成して、ゲート電極層を形成してもよい。この際、両導電材料の間にバッファ層を設けておくのが望ましい。例えば、Cuの周りをAgで覆った粒子において、CuとAgの間にNi又はNb (ニッケルボロン) からなるバッファ層を設けた粒子構造が挙げられる。

【0030】

なお、導電材料を含む組成物の焼成工程において、分圧比で10~30%の酸素を混合させたガスを積極的に用いることにより、ゲート電極層を構成する導電膜の抵抗率を下げ、かつ、該導電膜の薄膜化、平滑化を図ることができる。ここで、上記焼成の前後における導電膜の変化の様子を図8を用いて概説する。まず、図8 (A) は、Agのような導電材料を含むナノペースト502を、ノズル501からガラス基板500上に吐出形成した状態を示している。ナノペーストは、導電材料を有機溶剤に分散又は溶解させたものであるが、他にも分散剤や、バインダーと呼ばれる熱硬化性樹脂が含まれている。特にバインダーに関しては、焼成時にクラックや不均一な焼きムラが発生するのを防止する働きを持つ。そして、乾燥又は焼成工程により、有機溶剤の蒸発、分散剤の分解除去及びバインダーによる硬化収縮が同時に進行することにより、ナノ粒子同士が融合し、ナノペーストが硬化する。この際、ナノ粒子は、数十~百数十nmまで成長し、近接する成長粒子同士で融着、及び互いに連鎖することにより、金属連鎖体を形成する。一方、残った有機成分の殆ど (約80~90%) は、金属連鎖体の外部に押し出され、結果として、金属連鎖体を含む導電膜503と、その外側を覆う有機成分からなる膜504が形成される (図8 (B))。そして、有機成分からなる膜504は、ナノペースト502を窒素及び酸素を含む雰囲気下で焼成する際に、気体中に含まれる酸素と、有機成分からなる膜504中に含ま

れる炭素や水素などとが反応することにより、除去することができる。また、焼成雰囲気下に酸素が含まれていない場合には、別途、酸素プラズマ処理等によって有機成分からなる膜504を除去することができる（図8（C））。このように、ナノペーストを窒素及び酸素を含む雰囲気下で焼成、又は乾燥後酸素プラズマで処理することによって、有機成分からなる膜504は除去されるため、残存した金属連鎖体を含む導電膜503の平滑化、薄膜化、低抵抗化を図ることができる。

【0031】

なお、導電材料を含む組成物を減圧下で吐出することにより組成物中の溶媒が揮発するため、後の加熱処理（乾燥又は焼成）時間を短縮することもできる。

【0032】

また、上記乾燥及び焼成工程に加えて、さらに表面を平滑化、平坦化するための処理を行ってもよい。該処理としては、CVD（化学的機械的研磨）法や、該導電膜上に平坦性を有する絶縁膜を形成した後に、エッチングすることによって該導電膜を平坦化する方法（エッチバック法と呼ばれる。）等を用いることができる。

【0033】

なお、基板としては、ガラス基板、石英基板、アルミナなど絶縁物質で形成される基板、後工程の処理温度に耐え得る耐熱性を有するプラスチック基板等を用いることができる。この場合、酸化シリコン（SiO_x）、窒化シリコン（SiN_x）、酸化窒化シリコン（SiO_xN_y）（x > y）、窒化酸化シリコン（SiN_xO_y）（x > y）など（x、y = 1、2 . . . ）、基板側から不純物などの拡散を防止するための下地絶縁膜を形成しておいてもよい。また、ステンレスなどの金属または半導体基板などの表面に酸化シリコンや窒化シリコンなどの絶縁膜を形成した基板なども用いることができる。

【0034】

次に、ゲート電極層上にゲート絶縁膜103を形成する。ゲート絶縁膜はプラズマCVD法又はスピッタリング法などの薄膜形成法を用い、窒化珪素、酸化珪素、窒化酸化珪素又は酸化窒化珪素を含む膜を、単層で、又は積層させて形成することが好ましい。ここでは、基板側から酸化珪素膜、窒化珪素膜、酸化珪素膜の3層構造としたが、この構造、材料、方法に限定されるものではない。

【0035】

次に、ゲート絶縁膜103上に、半導体膜104を形成する。半導体膜としては、アモルファス半導体、結晶性半導体、又はセミアモルファス半導体で形成する。いずれも、シリコン、シリコン・ゲルマニウム（SiGe）等を主成分とする半導体膜を用いることができる。また、半導体膜は、プラズマCVD法等によって形成することができる。なお、半導体膜の膜厚は、10～100nmとするのが望ましい。

【0036】

ここで、上記セミアモルファス半導体のうち、SAS（セミアモルファスシリコン）について簡単に説明する。SASは、珪化物気体をグロー放電分解することにより得ることができる。代表的な珪化物気体としては、SiH₄であり、その他にもSi₂H₆、SiH₂Cl₂、SiHC₁₃、SiC₁₄、SiF₄などを用いることができる。この珪化物気体を水素、水素とヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して用いることでSASの形成を容易なものとすることができる。希釈率は10倍～1000倍の範囲で珪化物気体を希釈することが好ましい。勿論、グロー放電分解による被膜の反応生成は減圧下で行うが、圧力は概略0.1Pa～133Paの範囲で行えば良い。グロー放電を形成するための電力は1MHz～120MHz、好ましくは13MHz～60MHzの高周波電力を供給すれば良い。基板加熱温度は300度以下が好ましく、100～200度の基板加熱温度が推奨される。

【0037】

また、珪化物気体中に、CH₄、C₂H₆などの炭化物気体、GeH₄、GeF₄などのゲルマニウム化気体を混入させて、エネルギー・バンド幅を1.5～2.4eV、若しくは0.9～1.1eVに調節しても良い。

【0038】

また、S A Sは、価電子制御を目的とした不純物元素を意図的に添加しないときに弱いn型の電気伝導性を示す。これは、アモルファス半導体を成膜するときよりも高い電力のグロー放電を行うため酸素が半導体膜中に混入しやすいためである。そこで、TFTのチャネル形成領域を設ける第1の半導体膜に対しては、p型を付与する不純物元素を、この成膜と同時に、或いは成膜後に添加することで、しきい値制御をすることが可能となる。p型を付与する不純物元素としては、代表的には硼素であり、B₂H₆、BF₃などの不純物気体を1 ppm～1000 ppmの割合で珪化物気体に混入させると良い。例えば、p型を付与する不純物元素としてボロンを用いる場合、該ボロンの濃度を $1 \times 10^{14} \sim 6 \times 10^{16}$ atoms/cm³とすると良い。なお、上記S A Sでチャネル形成領域を構成することにより $1 \sim 10 \text{ cm}^2/\text{V} \cdot \text{sec}$ の電界効果移動度を得ることができる。

【0039】

また、結晶性半導体膜は、アモルファス半導体膜をニッケル等の触媒を含む溶液で処理した後、500～750℃の熱結晶化工程によって結晶質シリコン半導体膜を得、さらにレーザー結晶化を行って結晶性の改善を施すことによって得ることができる。

【0040】

また、ジシラン(Si₂H₆)とフッ化ゲルマニウム(GeF₄)の原料ガスとして、LPCVD(減圧CVD)法によって、多結晶半導体膜を直接形成することによっても、結晶性半導体膜を得ることができる。ガス流量比は、Si₂H₆/GeF₄=20/0.9、成膜温度は400～500℃、キャリアガスとしてHe又はArを用いたが、これに限定されるものではない。

【0041】

次に、半導体膜上に、n型半導体膜105を形成する。ここで、n型の不純物元素としては、砒素(As)、磷(P)を用いることができる。例えば、n型の半導体膜を形成する場合、SiH₄、H₂、PH₃(フォスфин)の混合ガスを、プラズマCVD法を用いてグロー放電分解することによって、n型(n+)のシリコン膜を形成することができる。また、n型半導体膜105の代わりに、硼素(B)のようなp型不純物元素を含む半導体膜を用いてもよい。

【0042】

次に、n型半導体膜104上に、第2の導電材料を含む組成物を吐出することにより、ソース電極108及びドレイン電極109を形成する。第2の導電材料、導電粒子構造、吐出条件、乾燥、焼成条件等としては、上記第1の導電材料において示したものの中から適宜採用することができる。なお、第1及び第2の導電材料や粒子構造は同じでもよいし、異なっていてもよい(以上、図1(A))。

【0043】

なお、図示しないが、n型半導体膜104上に、第2の導電材料を含む組成物を吐出する前に、n型半導体膜104と、ソース電極108及びドレイン電極109との密着性を向上させるための前処理を行ってもよい。これは、ゲート電極層102を形成する際の前処理と同様に行えばよい。

【0044】

次に、ソース電極108及びドレイン電極109をマスクとして、n型半導体膜105をエッティングし、ソース領域112、ドレイン領域113を形成する。ここでは、プラズマエッティングを採用し、エッティング用ガスとしては、Cl₂、BCl₃、SiCl₄もしくはCCl₄などを代表とする塩素系ガス、CF₄、SF₆、NF₃、CHF₃などを代表とするフッ素系ガス、あるいはO₂を用いたが、これらに限定されるものではない。なお、該エッティングは、大気圧プラズマを利用して行うことができる。この際、エッティングガスとしては、CF₄とO₂の混合ガスを用いるのがよい。なお、n型半導体膜105と、半導体膜104が、同じ半導体を用いている場合には、n型半導体膜105をエッティングする際に半導体膜104もエッティング除去されてしまうので、エッチレートや時間には注意する必要がある。ただし、図1(B)に示すように、半導体膜104の一部がエッティングされ

いても、チャネル領域の半導体膜の厚さが5 nm (50 Å) 以上、好ましくは10 nm (100 Å) 以上、さらに好ましくは50 nm (500 Å) 以上であれば、TFTとして十分な移動度を確保することができる。

【0045】

次に、半導体膜104のチャネル領域となる部分の上方に、絶縁膜115を液滴吐出法によって形成する。絶縁膜115は、チャネル保護膜として機能するため、吐出する組成物としては、シロキサン等の耐熱性樹脂、アクリル、ベンゾシクロブテン、ポリアミド、ポリイミド、ベンゾイミダゾール又はポリビニルアルコール等の耐エッチング性、絶縁性を有するものを選択する。好適には、シロキサン、ポリイミドを用いると良い。また、チャネル領域をオーバーエッチングから保護するために、絶縁膜115の厚さは100 nm 以上、好ましくは200 nm 以上の厚さとするのが望ましい（以上、図1（B））。したがって、図1のように、絶縁膜115は、ソース電極108、ドレイン電極109上に盛り上がるよう形成しても良い。

【0046】

次に、ソース電極108、ドレイン電極109及び絶縁膜115をマスクとして半導体膜104をエッチングし、島状半導体膜118を形成する。ここでは、プラズマエッチングを採用し、エッチング用ガスとしては、C₁₂、BC₁₃、SiC₁₄もしくはCC₁₄などを代表とする塩素系ガス、CF₄、SF₆、NF₃、CHF₃などを代表とするフッ素系ガス、あるいはO₂を用いたが、これらに限定されるものではない。なお、該エッチングは、大気圧プラズマを利用して行うこともできる。この際、エッチングガスとしては、CF₄とO₂の混合ガスを用いるのがよい。なお、島状半導体膜118のうちチャネル領域119の上方には、チャネル保護膜115が形成されているため、上記エッチング工程において、オーバーエッチングによる損傷を受けることがない。これによって、安定した特性と高移動度を有するチャネル保護型（チャネルストッパー型）TFTを、レジストマスクを一切用いることなく作製することができる（以上、図1（C））。

【0047】

なお、さらに、ソース電極108、ドレイン電極109に接して、第3の導電材料を含む組成物を吐出しソース配線123、ドレイン配線124を形成し、さらに、ソース配線123又はドレイン配線124と画素電極126とを接続し、液晶素子や、有機化合物又は無機化合物を含む層からなる発光素子（代表的にはエレクトロルミネンス（EL：Electro Luminescence）を利用した発光素子）を設けることにより、上記工程により作製された半導体素子によって制御可能となるアクティピマトリクス型の液晶表示装置や、EL発光装置のような薄型ディスプレイを得ることができる。ここで、第3の導電材料、導電粒子構造、吐出条件、乾燥、焼成条件等としては、上記第1の導電材料において示したものの中から適宜採用することができる。なお、第2及び第3の導電材料や粒子構造は同じでもよいし、異なっていてもよい。また、画素電極は、液滴吐出法によって形成するのが望ましく、材料としては、ITO、ITSO、ZnO、GZO、IZO、有機インジウム、有機スズ等の透光性導電膜を採用するのが望ましい（以上、図1（D））。

【0048】

なお、図示しないが、ソース配線123、ドレイン配線124、画素電極126を形成する際にも、下層との密着性を向上させるための前処理を行ってもよい。これは、ゲート電極層102を形成する際の前処理と同様に行えばよい。

【0049】

上述したとおり、本発明は、ソース領域112及びドレイン領域113を形成した後に、チャネル領域となる部分をチャネル保護膜として機能する絶縁膜115で覆い、島状半導体膜を形成しているため、レジストマスクを設ける必要がなく、工程を簡略化することができる。このように、本発明は、ソース電極及びドレイン電極のメタルマスクを用いて一導電型半導体膜を除去し、ソース領域及びドレイン領域を形成するというチャネルエッチ型特有の方法と、その後、チャネル領域が除去されるのを防ぐためにチャネル保護膜を形成するというチャネル保護型特有の方法とを混合させた、新たなタイプの半導体素子の

形成手段を有することを特徴としている。そして、本発明は、上記構成を備えていることにより、レジストマスクを全く用いることなく、ソース電極及びドレイン電極のメタルマスクのみで半導体素子を作製することができる。その結果、工程の簡略化、材料の節約によるコストの大幅な低減を図ることができ、特に、一辺1mを超えるものから、畳数量分の大面積の基板を用いて半導体素子を作製する場合にも、低いコスト、高スループット、高歩留まり、短縮されたタクトタイムで、安定性の高い半導体素子を作製することができる。

[0050]

る。【0050】 また、本発明に係る半導体素子は、基板上の少なくともゲート電極層が形成される部分に対して、酸化チタン(TiO_x)形成等の処理が施されているため、基板と液滴吐出法によって吐出形成されたゲート電極層等の導電膜との密着性を高めることができる。

ヨウコウ

【0051】 また、前記絶縁膜が形成された部分の半導体膜の膜厚が、他の半導体膜の膜厚よりも薄くすることにより、チャネルエッチ工程において、n型不純物領域をソース領域と、ドレイン領域に確実に分離することができ、また、前記絶縁膜が形成された部分の半導体膜の膜厚が、5 nm以上、好ましくは10 nm以上とすることにより、十分に大きなチャネル移動度を確保することができる。

勘皮毛體系

【0052】 また、本発明に係る半導体素子は、チャネル領域119上にチャネル保護膜として機能する絶縁膜115が形成されていることにより、半導体膜104をエッティングする際にチャネル領域119がオーバーエッティングによる損傷を受けることがないため、安定した特性と高移動度を有する半導体素子として機能する。また、前記絶縁膜の膜厚を100nm以上とすることにより、チャネル保護膜としての機能を高め、チャネル領域の損傷を確実に防止することができ、移動度の高い安定した半導体素子を提供することができる。また、前記絶縁膜を、第1の絶縁膜と第2の絶縁膜の2層構造、あるいはそれ以上の多層構造とすることも、上記効果を確保する上で有効である。

【審施例 1】

实施例 1

【実施例1】
【0053】 本実施例では、ゲート電極層を形成する前に、基板上に前処理を施す場合について説明する。

100541

する。

【0054】

第1の方法として、図1に示すように、酸化チタン膜132を直接形成することができる。酸化チタン膜132は、スピニ塗布法、液滴吐出法、スプレー法、スパッタ法、CV D法等によって、基板全面に形成すればよい。その後、酸化チタン膜132上に、液滴吐出法によってゲート電極層102を形成するが、酸化チタン膜132が介在することによつて、基板100とゲート電極層102の密着性を向上させることができる。なお、ゲート電極層102形成後、ゲート電極層の周囲に存在する酸化チタン膜は残存させてもよいし、エッティング等によって除去してもよい。エッティングする際は、大気圧下において行うのが望ましい。なお、酸化チタン膜の代わりに、チタン膜としてもよい。ゲート電極層102としては、ここでは、酸化チタン膜上にAg/Cuを積層形成したが、Cuのみ単層で形成してもよい。

[0055]

【0055】 第2の方法として、酸化チタン膜を、液滴吐出法によって選択的に形成することができる。液滴吐出法としては、インクジェット法のほか、スクリーン印刷法や、オフセット印刷法を用いてもよい。また、ゾルゲル法を用いてもよい。その後、酸化チタン膜が形成された領域上、又はその内側に、液滴吐出法によってゲート電極層を選択的に形成する。なに、酸化チタン膜の代わりに、チタン膜としてもよい。

酸化チタン

【0056】 第3の方法として、チタン膜をスピンドル塗布法、液滴吐出法、スプレー法、スパッタ法、CVD法等によって基板全面に形成した後、液滴吐出法によってゲート電極層を構成する
出証特2004-3113577

導電材料を含む組成物を選択的に形成する（図8（A））。そして、該組成物を乾燥、焼成する際に、チタン膜505も同時に酸化させることにより、該組成物の周囲には酸化チタン膜506を形成することができる。酸化チタン膜は透光性に優れており、例えば、図6（C）、図7（B）に示すようなボトムエミッション型の発光装置を作製する場合には、基板側に光を取り出すことになるため、酸化チタン膜を形成しておくことは有効な手段である。なお、チタン膜をスピニ塗布法、液滴吐出法、スプレー法、スパッタ法、CVD等によって基板全面に形成した後、ゲート電極層を構成する導電材料を含む組成物を選択的に吐出形成する前に、加熱処理を行い、酸化チタン膜を形成しておいてもよい。

【0057】

上記第1乃至第3の方法においては、チタン膜、酸化チタン膜の代わりにチタン酸ストロンチウム（SrTiO₃）、セレン化カドミウム（CdSe）、タンタル酸カリウム（KTaO₃）、硫化カドミウム（CdS）、酸化ジルコニウム（ZrO₂）、酸化ニオブ（Nb₂O₅）、酸化亜鉛（ZnO）、酸化鉄（Fe₂O₃）、酸化タンゲステン（WO₃）等、F_e、W等）を形成してもよい。

【0058】

第4の方法として、ポリイミド、アクリルや、シロキサン等の耐熱性樹脂を形成することによっても、基板とゲート電極層間の密着性を向上させることができる。これらは、スピニ塗布法、液滴吐出法、スプレー法等によって基板の全面又はゲート電極層が形成される部分に形成すればよい。全面に形成した場合には、ゲート電極層の周囲に存在する膜をエッティング、又はアッシング除去してもよい。

【0059】

第5の方法として、基板の全面又はゲート電極層が形成される部分にプラズマ処理を施すことによっても、密着性を向上させることができる。大気圧下におけるプラズマ処理を行うのが望ましいが、これに限定されるものではない。

【実施例2】

【0060】

本実施例では、チャネル保護膜として機能する絶縁膜を2層構造とした場合について説明する。

【0061】

図1（B）で、ソース電極108及びドレイン電極109をマスクとして、n型半導体膜105をエッティングし、ソース領域112、ドレイン領域113を形成した状態（図2（A））において、窒化珪素膜133を、CVD法、スパッタ法等により全面に成膜する。

次に、半導体膜104のチャネル領域となる部分の上方で、かつ、窒化珪素膜133上に、窒化珪素膜133を除去する際のマスクとして機能するため、吐出する組成物とでなく、窒化珪素膜133を除去する際のマスクとして機能するため、吐出する組成物としては、シロキサン等の耐熱性樹脂、アクリル、ベンゾシクロブテン、ポリアミド、ポリイミド、ベンゾイミダゾール又はポリビニルアルコール等の耐エッティング性、絶縁性を有するものを選択する。好適には、シロキサン、ポリイミドを用いると良い。また、チャネル領域をオーバーエッティングから保護するために、窒化珪素膜133と絶縁膜115の膜上、図2（B））。

【0062】

次に、絶縁膜115をマスクとして、窒化珪素膜133をエッティング除去し、チャネル保護膜134及び115を形成する。ここでは、プラズマエッティングを採用し、エッティング用ガスとしては、Cl₂、BCl₃、SiCl₄もしくはCCl₄などを代表とする塩素系ガス、あるいはO₂を用いたが、これらに限定されるものではない。なお、該エッティングは、大気圧プラズマを利

【0063】

チャネル保護膜を2層とすることにより、チャネル保護膜としての機能を高め、チャネル領域の損傷を確実に防止することができ、移動度の高い安定した半導体素子を提供することができる。また、3層以上の構成としてもよい。また、下層は窒化珪素膜に限らず、他の珪素を含む絶縁膜を用いてもよい。また、絶縁膜115のように、液滴吐出法で形成可能な膜を選択的に積層させて形成してもよい。

【0064】

次に、ソース電極108、ドレイン電極109及び絶縁膜115、窒化珪素膜134を島マスクとして半導体膜104をエッチングし、島状半導体膜118を形成する。なお、島状半導体膜118のうちチャネル領域119の上方には、チャネル保護膜115が形成され、上記エッチング工程において、オーバーエッチングによる損傷を受けることのない。これによって、安定した特性と高移動度を有するチャネル保護型（チャネルスル） TFTを、レジストマスクを一切用いることなく作製することができる（以上、図2（C））。

【0065】

さらに、実施の形態に示したような方法によって、ソース電極108、ドレイン電極109に接して、第3の導電材料を含む組成物を吐出しソース配線123、ドレイン配線124を形成し、さらに、ソース配線123又はドレイン配線124と画素電極126とを接続し、液晶素子や、有機化合物又は無機化合物を含む層からなる発光素子（代表的にはエレクトロルミネセンス（EL：Electro Luminescence）を利用した発光素子）を設けることにより、上記工程により作製された半導体素子によって制御可能となるアクティブラスター型の液晶表示装置や、EL発光装置のような薄型ディスプレイを得ることができ（以上、図2（D））。

【実施例3】

【0066】

本実施例では、液滴吐出法とメッキ法を組み合わせて、導電膜を形成する方法について説明する。

【0067】

まず、Agを含む組成物を液滴吐出法で吐出形成する。この際、線幅が数 μ m～十数 μ mと比較的細い場合に、太い配線を形成したい場合には、重ねて吐出形成する必要がある。しかし、Agを形成した後、Cuを含むメッキ液にAgが形成された基板を浸す、又は基板上にメッキ液を直接流すことによって、線幅を太くすることができる。特に、吐出形成後の組成物は凹凸が多いため、メッキしやすい。また、Agは高価であるので、Cuメッキを行うことにより、コスト削減にもつながる。なお、本実施例の方法で配線を形成する際の導電材料は、この種類に限定されるものではない。

【0068】

なお、Cuメッキを行った後、導電膜の表面は凹凸が多いため、NiB等のバッファ層を設け平滑化を行い、その後ゲート絶縁膜を形成するのが望ましい。

【実施例4】

【0069】

本実施例では、図3～5を参照して、本発明を用いたアクティブラスター型LCDパネルの作製方法について説明する。

【0070】

第1の方法は、図3（A）に示すように、本発明を用いて作製したTFT上に、平坦化膜151を液滴吐出法によって選択的に形成し、平坦化膜151が形成されていない領域に、ソース電極、ドレイン電極と接続されるソース配線、ドレイン配線152（「2nd T-Fメタル」等とも呼ばれる。）を液滴吐出法によって形成する方法である。なお、画素T-Fにおけるソース又はドレイン配線は、図3（A）に示すように、画素電極を兼ねることもできる。勿論、画素電極を別途形成し、ソース又はドレイン配線と接続してもよい。なお、ソース、ドレイン電極、ソース、ドレイン配線は、すべて同じ導電材料を用いて形成

してもよいし、異なる導電材料を用いて形成してもよい。

[0071]

【0071】この方法は、平坦化膜中にコンタクトホールを形成するという概念を用いていないが、外見上コンタクトホールが形成されているように見えるので、ルーズコンタクトなどと呼ばれる。なお、平坦化膜としては、アクリル、ポリイミド、ポリアミドなどの有機樹脂、またはシロキサン系材料を出発材料として形成されたSi-O結合とSi-CH_x結合手を含む絶縁膜で形成することが好ましい。

[0072]

【0072】 その後、TFT基板と対向基板155との間に液晶層154を挟持させ、シール材159で貼り合わせた状態を示している。TFT基板上には柱状のスペーサ158を形成する。柱状のスペーサ158は画素電極上に形成されるコンタクト部のくぼみに合わせて形成されるとよい。柱状スペーサ158は用いる液晶材料にも依存するが、3～10μmの高さで形成するのが望ましい。コンタクト部では、コンタクトホールに対応した凹部が形成されるので、この部分に合わせてスペーサを形成することにより液晶の配向の乱れを防ぐことができる。

[0073]

【0073】 TFT基板上には、配向膜153を形成しラビング処理を行う。対向基板155には透明導電膜156、配向膜157を形成する。その後、TFT基板および対向基板155をシール材により貼り合わせて液晶を注入し、液晶層154を形成する。以上のようにして、アクティプマトリクス駆動の液晶表示装置を完成させることができる。なお、液晶層154は、液晶を滴下することによって形成してもよい。特に1mを超える大面積のアクティブマトリクス基板を用いて液晶表示装置を作製する場合には、有効な手段である。

[0074]

【0074】 なお、配向膜153、157や、柱状スペーサ158は、液滴吐出法を用いて選択的に形成してもよい。特に1mを超える大面積のアクティピマトリクス基板を用いて液晶表示装置を作製する場合には、有効な手段である。

[0075]

【0075】 次に、端子部について説明する。図1等からも分かるように、TFT素子部以外の領域には、ゲート絶縁膜が残存している。したがって、ゲート電極層と同時に形成された配線171とFPC(Flexible Print Circuit)628とを接続するためのコンタクトホールを開孔する必要がある。ここでは、コンタクトホールを開孔したい箇所の周囲を液滴吐出法で吐出形成された導電体172で覆い、該導電体をマスクとして、コンタクトホールを形成する。さらに、該コンタクトホール中に導電体172と同一又は異なる導電体173を液滴吐出法によって吐出し、導電体を埋め込むことにより、ゲート絶縁膜上に導電体172、173を形成することができる。さらに、導電体172、173と、FPC628とを、異方性導電膜627により公知の手法で端子電極626と貼り付けることにより、端子電極626とFPC628とを接続することができる。なお、端子電極626は、透明導配線171とFPC628とを接続することができる。なお、端子電極626は、透明導電膜を用いて形成するのが望ましい。

〔0076〕

【0076】 なお、FPC部のコンタクトホール開孔は、TFT作製時に行ってもよいし、ソース、ドレイン配線を形成すると同時に、導電体172又は173を形成することによって行つてもよい。液滴吐出法の利点の一つとして、所望の箇所に選択的に組成物を吐出できるという点があるため、一工程で従来の複数の工程を兼ねることができるようにするのが望しい。

[0077]

【0077】 以上の工程を経て、本発明によって作製されたTFTを用いたアクティブマトリクス型LCDパネルが完成する。該TFTは、上記実施の形態や実施例の方法を用いて作製することができる。また、ここでは、一画素につき1トランジスタの構成としたが、2以上のトランジスタを用いてもよい。また、TFTの極性は、n型でもp型でも採用することができる。また、n型TFTとp型TFTからなるCMOS構造としてもよい。これは、駆動回路を構成するための回路構成を考慮して、TFTの構成を複数のTFTを用いて構成することができる。また、TFTの構成を複数のTFTを用いて構成することができる。

動回路部においても同様である。CMOS構造とする場合、各TFTを接続する配線は、上記平坦化膜を選択的に形成した後、開孔部に導電材料を含む組成物を液滴吐出法で吐出することで形成することができる。

【0078】

第2の方法は、図3 (B) に示すように、本発明を用いて作製したTFTのソース、ドレイン電極上に、柱状の導電体160 (ピラー、プラグ等とも呼ばれる。) を、液滴吐出法によって形成する方法である。ピラーの導電材料は、上述したゲート電極層等と同様のものを用いることができる。さらに、柱状の導電体160上に、平坦化膜150を液滴吐出法等によって形成する。平坦化膜としては、アクリル、ポリイミド、ポリアミドなどの有機樹脂、またはシロキサン系材料を出発材料として形成されたSi-O結合とSi-CH_x結合手を含む絶縁膜を、液滴吐出法で選択的に形成することが好ましい。

【0079】

なお、ピラー上に平坦化膜が形成されている場合には、エッチバック法により、平坦化膜、ピラーの表面をエッチングし、図3 (B) 下図のように、表面が平坦なピラーを得ることができる。さらに、平坦化膜上に、ソース電極、ドレイン電極と接続されるソース配線、ドレイン配線152を液滴吐出法によって形成する。なお、画素TFTにおけるソース又はドレイン配線は、図3 (B) 下図に示すように、画素電極を兼ねることもできる。勿論、画素電極を別途形成し、ソース又はドレイン配線と接続してもよい。なお、ソース、ドレイン電極、ピラー、ソース、ドレイン配線は、すべて同じ導電材料を用いて形成してもよいし、異なる導電材料を用いて形成してもよい。

【0080】

その後、液晶素子を形成する工程は、第1の方法と同様である。なお、FPC部のコンタクトホール開孔は、TFT作製時に行ってもよいし、ピラーや、ソース、ドレイン配線を形成すると同時に、導電体172又は173を形成することによって行ってもよい。

【0081】

第3の方法は、図4に示すように、本発明を用いて作製したTFTのソース、ドレイン電極上に、平坦化膜151の材質に対して撥液性を有する柱状の絶縁体161 (ピラー絶縁体という。) を液滴吐出法によって形成し、その周囲に平坦化膜151を形成する方法である。ピラー絶縁体の材料は、PVA (ポリビニルアルコール) 等の水溶性有機樹脂にCF₄プラズマ等を施し、撥液性を持たせたものを用いることができる。平坦化膜としては、アクリル、ポリイミド、ポリアミドなどの有機樹脂、またはシロキサン系材料を出発材料として形成されたSi-O結合とSi-CH_x結合手を含む絶縁膜を、液滴吐出法で選択的に形成することが好ましい。ピラー絶縁体161の周囲に平坦化膜151を形成した後、ピラー絶縁体161は水洗処理や、エッチング等によって簡単に除去することができる。この際、エッチングによって除去する際には、コンタクトホール形状が逆テーパー状となるのを防ぐために、異方性エッチングとするのが望ましい。ここで、PVA等のピラー絶縁体は絶縁性を有しているため、コンタクトホールの側壁にその一部が残存しても、特に問題は生じない。

【0082】

その後、さらに、平坦化膜上に、コンタクトホールを介してソース電極、ドレイン電極と接続されるソース配線、ドレイン配線152を液滴吐出法によって形成する。なお、画素TFTにおけるソース又はドレイン配線は、図4下図に示すように、画素電極を兼ねることもできる。勿論、画素電極を別途形成し、ソース又はドレイン配線と接続してもよい。なお、ソース、ドレイン電極、ソース、ドレイン配線は、すべて同じ導電材料を用いて形成してもよいし、異なる導電材料を用いて形成してもよい。なお、上記ピラー絶縁体の除去工程によって、コンタクトホール形状が逆テーパー状となってしまった場合には、ソース、ドレイン配線を形成するにあたり、導電材料を含む組成物をピラー上に液滴吐出法で積層させることによって、コンタクトホールを埋めるように形成すればよい。

【0083】

その後、液晶素子を形成する工程は、第1の方法と同様である。なお、FPC部のコン

タクトホール開孔は、TFT作製時に行ってもよいし、ソース、ドレイン配線を形成する
と同時に、導電体172又は173を形成することによって行ってもよい。

【0084】

第4の方法は、図5に示すように、本発明を用いて作製したTFTのソース、ドレイン電極上に、平坦化膜151の材質に対して撥液性材料162を液滴吐出法、スピニ塗布法、スプレー法等によって形成し、コンタクトホールを形成したい箇所に、PVAやポリイミド等からなるマスク163を形成し、PVA等をマスクとして撥液性材料162を除去し、残存した撥液性材料の周囲に平坦化膜151を形成するという方法である。撥液性材料162の材料としては、FAS(フルオロアルキルシラン)等のフッ素系シランカップル剤を用いることができる。PVAやポリイミド等のマスク163は液滴吐出法で選択的に吐出すればよい。また、撥液性材料162は、O₂アッシングや大気圧プラズマによって除去することができる。また、マスク163は、PVAの場合は水洗処理によって除去することができる。

、ポリイミドの場合には、N300剥離液によって簡単に除去することができる。

【0085】

コンタクトホールが形成される箇所に撥液性材料162を残した状態で(図5中段)、平坦化膜151を液滴吐出法やスピニ塗布法等によって形成する。この際、コンタクトホールが形成される箇所には、撥液性材料162が存在するので、その上方に平坦化膜が形成されることはない。また、コンタクトホール形状が逆テーパーとなる虞も生じない。平坦化膜としては、アクリル、ポリイミド、ポリアミドなどの有機樹脂、またはシロキサン系材料を出発材料として形成されたSi-O結合とSi-CH₃結晶手を含む絶縁膜を、液滴吐出法で選択的に形成することが好ましい。平坦化膜151を形成した後、撥液性材料162は、O₂アッシングや大気圧プラズマによって除去する。

【0086】

その後、さらに、平坦化膜上に、コンタクトホールを介してソース電極、ドレイン電極と接続されるソース配線、ドレイン配線152を液滴吐出法によって形成する。なお、画素TFTにおけるソース又はドレイン配線は、図5下段に示すように、画素電極を兼ねることもできる。勿論、画素電極を別途形成し、ソース又はドレイン配線と接続してもよい。なお、ソース、ドレイン電極、ソース、ドレイン配線は、すべて同じ導電材料を用いて形成してもよいし、異なる導電材料を用いて形成してもよい。

【0087】

その後、液晶素子を形成する工程は、第1の方法と同様である。なお、FPC部のコンタクトホール開孔は、TFT作製時に行ってもよいし、ソース、ドレイン配線を形成することによって行ってもよい。

と同時に、導電体172又は173を形成することによって行ってもよい。

【0088】

なお、上記第1乃至第4の方法について、図3～5では図示しないが、基板とゲート電極層との間に、前処理によってTiO_x膜等を設け、密着性を高めてもよい。これは、ソース、ドレイン配線、ピラー、画素電極、導電体172、173等を形成する場合にも採用できる。前処理は、上記実施の形態、実施例に示したものを探用すればよい。

【0089】

また、図示しないが、ソース、ドレイン電極上に、TFT上方からの不純物の拡散等を防止するためのパッシベーション膜を形成しておくのが望ましい。パッシベーション膜は、プラズマCVD法又はスパッタリング法などの薄膜形成法を用い、窒化珪素、酸化珪素、窒化酸化珪素、酸化窒化珪素、酸化窒化アルミニウム、または酸化アルミニウム、ダイヤモンドライカーボン(DLC)、窒素含有炭素(CN)、その他の絶縁性材料を用いて形成することができる。また、チャネル保護膜と同様の材料を用いてもよいし、さらにはこれらの材料を積層させて形成してもよい。なお、該パッシベーション膜は、絶縁体材料の微粒子を含む組成物を液滴吐出法によって吐出することによって形成することができる。

【0090】

なお、図示しないが、平坦化膜を設けずに、図1(D)のように画素電極を基板上に間

號碼 2003-386021

接的に形成し、その上に配向膜を設けた構造としてもよい。この際、TFTはキャップ絶縁膜やパッシベーション膜で覆っておくのが望ましい。

【实施例 5】

[0091]

【0091】 本実施例では、図6を参照して、本発明を用いたアクティブマトリクス型ELパネルの作製方法について説明する。

[0092]

【009-2】 まず、図6 (A) に示すように、上記実施の形態、実施例の方法によってTFTを作製し、少なくとも島状半導体膜の側面にステップカバレッジを向上させるための、絶縁体14 (エッジカバー等と呼ばれる。) を形成する。さらに、TFTのソース電極108、ドレイン電極109に接してソース配線123、ドレイン配線124を形成し、ソース又はドレイン電極109と正孔注入電極126とを接続する。この際、配線下にはエッジカバーが存在するため、配線を良好なカバレッジで滑らかに形成することができるので、断線等を防止することができる (図6 (B)) 。

[0093]

【0093】 なお、正孔注入電極（陽極）126は積層構造としても良い。例えば、ITOの積層構造を採用し、TFT側ITOの酸化珪素濃度を低濃度（1～6原子%）に、発光素子側ITOの酸化珪素濃度を高濃度（7～15原子%）にするのが良い。正孔注入電極126は、その表面が平坦化されるように、CMP法、ポリビニルアルコール系の多孔質体で拭淨し、研磨しても良い。またCMP法を用いた研磨後に、正孔注入電極126の表面に紫外線照射、酸素プラズマ処理などを行ってもよい。

10094

【0094】 なお、正孔注入電極126をエッティング形成した後の、レジスト剥離工程、ヒドロ洗浄工程、紫外線照射工程等によって、導電層126内部からインジウム、スズ又は(水洗)工程、紫外線照射工程等によって、導電層126の表面又は表面近傍の層内部に、それらの酸化物を放出させることにより、導電層126の表面又は表面近傍の層内部に、珪素、酸化珪素、窒化珪素等と析出させ、それらを主成分とするバリア層を形成することができる。また、このバリア層は、珪素、酸化珪素、窒化珪素等を意図的に蒸着法、スパッタリング法等によって形成しても良い。これらのバリア層の存在によって、正孔注入電極の仕事関数が増加し、正孔注入性をより向上させることができる。

[0095]

【0095】
 极の仕様例数: 1
 【0095】
 さらに、TFT、配線、画素電極の一部の上方を、液滴吐出法によって選択的に形成された土手141（隔壁、バンク等とも呼ばれる。）で覆う。土手141としては、アクリル、ポリイミド、ポリアミドなどの有機樹脂、またはシロキサン系材料を出発材料として、形成されたSi-O結合とSi-CH_x結合を含む絶縁膜で形成することが好ましい。形成されたSi-O結合とSi-CH_x結合を含む絶縁膜で形成することが好ましい。形成されたSi-O結合とSi-CH_x結合を含む絶縁膜で形成することが好ましい。
 次に、土手141の開口部において陽極126と接するように、有機化合物を含む層142（電界発光層）を形成する。有機化合物を含む層142は、単数の層で構成しても良いし、複数の層を積層させて構成しても良い。例えば、（1）陽極\ホール注入層\ホール注入層\電子輸送層\電子輸送層\電子注入層\陰極、（2）陽極\ホール注入層\ホール輸送層\発光層\電子輸送層\電子注入層\陰極、（3）陽極\ホール注入層\ホール輸送層\発光層\ホールブロッキング層\電子輸送層\電子注入層\陰極、（4）陽極\ホール注入層\ホール輸送層\発光層\ホールブロッキング層\電子注入層\陰極、等の素子構成とすることができる。
 輸送層\電子注入層\陰極、等の素子構成とすることができる。

10096

[0097]

【0097】 なお、上記発光素子は、一対の電極間にキャリア輸送特性の異なる有機化合物又は無機化合物を含有する。

化合物を含む発光層を積層し、一方の電極からは正孔を注入し、他方の電極からは電子を注入できるように形成され、一方の電極から注入された正孔と、他方の電極から注入された電子とが再結合して発光中心を励起して、それが基底状態に戻るときに光を放出する現象を利用した素子である。発光層への正孔及び電子の注入性は、電極を形成する材料の仕事関数（金属や半導体の表面から、一個の電子をその表面のすぐ外側に取り出すのに必要な最小のエネルギー）の大小をもって一つの指標とされ、正孔を注入する側の電極には仕事関数が高いことが好ましく、電子を注入する側の電極には仕事関数が低い材料が望まれている。

【0098】

なお実際には、図6 (C) の状態まで完成したら、さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

【0099】

対向基板145上に、波長板、偏光板、反射防止膜を形成するのがよい。波長板としては、 $\lambda/4$ 、 $\lambda/2$ の順に形成し、遅相軸を設定する。

【実施例6】

【0100】

実施例5では、図6に示すボトムエミッション型発光装置において、本発明を適用した場合について説明したが、本実施例では、図7 (A) に示すトップエミッション型発光装置、図7 (C) に示すデュアルエミッション型発光装置において、本発明を適用した場合について説明する。

【0101】

まず、デュアルエミッション型発光装置の場合から説明する。この場合、正孔注入電極としては、実施例5と同様に、ITO、ITSO、ZnO、IZO、GZO等の透明導電膜を用いることもできる。また、陽極126としてITSOを用いる場合には、濃度の異なる酸化珪素を含むITSOを積層させることによって形成してもよい。好ましくは、下部ITSO層（ソース又はドレイン配線側）の酸化珪素濃度を低濃度に、上部ITOは、下部ITSO層（ソース又はドレイン配線側）の酸化珪素濃度を高濃度にするのがよい。これにより、TFTとの接続間の低抵抗を維持しつつ、EL層への正孔注入効率を高めることができる。勿論、他の材料とITSOの積層構造（例えば、下部ITO層と上部ITSO層の積層構造）としてもよいし、他の材料同士を積層させてもよい。

【0102】

一方、陰極143としては、発光層からの光を透過させるべく、1~10nmの薄アルミニウム膜、もしくはLiを微量に含むアルミニウム膜等を用いることにより、上下に発光素子からの光を取り出すことのできるデュアルエミッション型発光装置が得られる（図7 (C)）。

【0103】

なお、陰極143として、陽極126と同様の材料、すなわちITO、ITSO等の透明導電膜を採用しても、デュアルエミッション型発光装置を得ることができる。この場合において、透明導電膜に珪素または酸化珪素を含有させて用いても良いし、積層構造を採用しても良い。

【0104】

次に、トップエミッション型発光装置の場合について、図7 (A) を参照して説明する。一般的には、図7 (B) のボトムエミッション型における正孔注入電極126（陽極）と電子注入電極143（陰極）を入れ替え、さらに有機化合物を含む層を逆積みとし、電流制御用TFTの極性を反転させることにより（ここでは、nチャネル型TFTを用いる）、基板と反対側（上側）に発光素子からの光を取り出すことのできるトップエミッション型発光装置が得られる。また図7 (A) のように、電極及び有機化合物を含む層を逆積みとした場合、正孔注入電極126として、酸化珪素濃度の含有量に高低の差を設けた透光性酸化物導電層の積層構造を採用することにより、発光効率の向上、低消費電力化等

の効果により、安定性の高い発光装置を得ることができる。ここで、電子注入電極 143 の（略）としては、光反射性のある金属電極等を用いればよい。

[0105]

【0105】 なお、図7(B)のボトムエミッション型における正孔注入電極126と電子注入電極143を入れ替えずとも、電子注入電極126(陰極)としてITO、ITSO等の透明導電膜を採用することにより、トップエミッション型発光装置を得ることもできる。この陰極に用いられる透明導電膜としては、珪素又は酸化珪素を含有したものを用いてもよい。1. それらを積層させた構造としてもよい。

【塞施例 7】

[0106]

【0106】 実施例4の液晶表示パネル又は実施例5、6のELパネルを用いた電子機器の一例として、図9に示すテレビ受像器、携帯書籍（電子書籍）、携帯電話を完成させることができる。

[0107]

【0107】
 図9 (A) のテレビ受像器は、筐体2001に液晶又はEL素子を利用した表示用モジュール2002が組みこまれ、受信機2005により一般のテレビ放送の受信をはじめ、モ뎀2004を介して有線又は無線による通信ネットワークに接続することにより一方向（送信者から受信者）又は双方（送信者と受信者間、又は受信者間同士）の情報通信をすることもできる。テレビ受像器の操作は、筐体に組みこまれたスイッチ又は別体のリモコン装置2006により行うことが可能であり、このリモコン装置にも出力する情報を表示する表示部2007が設けられていても良い。

[0108]

【0108】 また、テレビ受像器にも、主画面2003の他にサブ画面2008を第2の表示用モジュールで形成し、チャネルや音量などを表示する構成が付加されていても良い。この構成において、主画面2003を視野角の優れたEL表示用モジュールで形成し、サブ画面を低消費電力で表示可能な液晶表示用モジュールで形成しても良い。また、低消費電力化を優先させるためには、主画面2003を液晶表示用モジュールで形成し、サブ画面をEL表示用モジュールで形成し、サブ画面は点滅可能とする構成としても良い。

(0109)

【0109】
図9(B)は携帯書籍(電子書籍)であり、本体3101、表示部3102、3103
図9(A)は電子書籍用リモコン3105、アンテナ3106等を含む。

記憶媒体3104、操作スイッチ3105、アンテナ3106等を備え。

記憶元件 3-2

【0110】
 図9(C)は携帯電話であり、3001は表示用パネル、3002は操作用パネルである。表示用パネル3001と操作用パネル3002とは接続部3003において接続される。表示用パネル3001と操作用パネル3002とは接続部3003において接続されている。接続部3003における、表示用パネル3001の表示部3004が設けられている。接続部3003における、表示用パネル3001の表示部3004が設けられている面との角度θは、任する面と操作用パネル3002の操作キー3006が設けられている面との角度θは、任意に変えることができる。さらに、音声出力部3005、操作キー3006、電源スイッチ3007、音声入力部3008を有している。

【实施例8】

实施例3

【0111】 本発明に係る半導体素子は、図10に示す液滴吐出システムによって形成するのがよい。

• 501-81

【0112】 まず、CAD、CAM、CAE等の回路設計ツール100によって、回路設計を行います。回路の構成及びアライメントマーカーの配置箇所を決定する。

所望の薄膜が 得られる

、所望の薄膜及びアライメント、データ101～103

【0113】

次に、設計された薄膜及びアライメントマーカーの配置箇所を含む薄膜パターンのデータ101は、記録媒体又はLAN (Local Area Network) 等の情報網を介して、液滴吐出装置を制御するコンピュータ102に入力される。そして、薄膜パターンのデータ101に基づいて、液滴吐出手段103が有するノズル (筒状の、先の細い穴から液体や気体を

出) 特2004-3113577

噴出させる装置)のうち、該薄膜を構成する材料を含む組成物を貯蔵し、又は該組成物を貯蔵するタンクと接続されている最適な吐出口径を有するノズルが決定され、続いて、液滴吐出手段103の走査経路(移動経路)が決定される。なお、予め最適なノズルが決まっている場合は、該ノズルの移動経路のみを設定すればよい。

【0114】

次に、該薄膜が形成される基板104上にフォトリソグラフィー技術やレーザー光を用いて、アライメントマーカー117を形成する。そして、アライメントマーカーが形成された基板を液滴吐出装置内のステージ116に設置し、該装置に具備された撮像手段105によりアライメントマーカーの位置を検出し、画像処理装置106を介して、コンピュータ102に位置情報107として入力される。コンピュータ102では、CAD等により設計された薄膜パターンのデータ101と、撮像手段105によって得られるアライメントマーカーの位置情報107とを照らし合わせて、基板104と液滴吐出手段103との位置合わせを行う。

【0115】

その後、コントローラ108によって制御された液滴吐出手段103が、決定された走査経路に従って、組成物118を吐出することにより、所望の薄膜パターン109が形成される。なお、組成物の吐出量は、吐出口の径を選択することにより、適宜調整することができるが、吐出口の移動速度、吐出口と基板との間隔、組成物の吐出速度、吐出空間の雰囲気、該空間の温度、湿度等のあらゆる条件によって微妙に異なってくるため、これらの条件も制御できるようになることが望ましい。これらは、予め実験、評価によって最適な条件を求めておき、組成物の材料毎にデータベース化しておくのがよい。

【0116】

ここで、薄膜パターンデータとしては、例えば、液晶表示装置、EL表示装置等に用いられるアクティブマトリクス型TFT基板の回路図等が挙げられる。図10中の円内の回路図は、このようなアクティブマトリクス型TFT基板に用いられる導電膜を模式的に示したものである。121は所謂ゲート配線、122はソース信号線(2nd配線)、123は画素電極又は正孔注入電極若しくは電子注入電極を指す。また、120は基板、124はアライメントマーカーを示している。当然、薄膜パターン109は、薄膜パターン情報におけるゲート配線121に対応するものである。

【0117】

また、液滴吐出手段103は、ここでは、ノズル110、111、112が一体化された構成となっているが、これに限定されるものではない。また、各ノズルは、それぞれ複数の吐出口113、114、115を有している。上記薄膜パターン109は、ノズル110のうち、所定の吐出口113を選択することによって形成されたものである。

【0118】

なお、液滴吐出手段103は、あらゆる線幅の薄膜パターンの作製に対応できるように、また、タクトタイムを向上させるため、吐出口径、吐出量、又はノズルピッチの異なる複数のノズルを備えておくのが望ましい。また、吐出口の間隔はできる限り狭い方が望ましい。また、一辺が1m以上から6畳程度の大面積の基板に対して、スループットの高い吐出を行うために、1m以上の長さを有するノズルを備えておくことが望ましい。また、伸縮機能を備え、吐出口の間隔を自由に制御することができるようにもよい。また、高解像度、即ち、滑らかなパターンを描画するために、ノズル又はヘッドが斜めに傾くようにしておくのが望ましい。これによって、矩形状など、大面積の描画が可能となる。

【0119】

また、ヘッドのノズルピッチを変えたものを一つのヘッドに平行に備え付けてもよい。この場合、吐出口径は同じでもよいし、異ならせてもよい。

【0120】

また、上記のように、複数のノズルを用いた液滴吐出装置となる場合には、私用していないノズルを収納するための、待機場所を設けておく必要がある。この待機場所には、またガス供給手段とシャワーヘッドを設けることにより、組成物の溶媒と同じ気体の雰囲気

下に置換することができるため、乾燥をある程度防止することができる。さらに、清浄な空気を供給し、作業領域の埃を低減するクリーンユニット等を備え付けてもよい。

【0121】

ただし、ノズルの仕様上、吐出口の間隔が狭くできないときには、ノズルピッチが表示装置における画素の整数倍となるように設計するとよい。これによって、図11のようにノズルをずらして組成物を吐出することができる。

【0122】

また、撮像手段105としては、CCD（電荷結合素子）のような光の強弱を電気信号に変換する半導体素子を用いたカメラを用いればよい。

【0123】

上述した方法は、基板104を載せたステージ116を固定し、液滴吐出手段103を決定された経路に従って走査させることによって、薄膜パターン109を形成するものである。それに対して、液滴吐出手段103を固定し、薄膜パターンのデータ101に基づいて決定された経路に従って、ステージ116をXYθ方向に搬送させることによって、複数のノズルを有する薄膜パターン109を形成してもよい。この際、液滴吐出手段103が複数のノズルを有している場合には、該薄膜を構成する材料を含む組成物を貯蔵し、又は該組成物を貯蔵するタンクと接続されている最適な吐出口径を有するノズルを決定する必要がある。

【0124】

また、上述した方法は、ノズル110の所定の一つの吐出口のみを用いて薄膜パターン109を吐出形成するものであるが、形成する薄膜の線幅や膜厚に応じて、図12～15に示すように、複数の吐出口を用いて組成物を吐出してもよい。

【0125】

また、複数のノズルを用い、冗長機能を持たせてもよい。例えば、最初にノズル112（又は111）から組成物が吐出されるが、ノズル110からも、同一の組成物が吐出されるよう吐出条件を制御することにより、前方のノズル112において吐出口詰まり等の支障を来しても、後方のノズル110から組成物を吐出することができるため、少なくとも配線の断線等を防止することが可能となる。

【0126】

また、吐出口径の異なる複数のノズルから組成物を吐出するように吐出条件を制御することにより、図12、13に示すのように、平坦な薄膜を、より短縮されたタクトタイムで形成することができる。この方法は、特にLCDにおける画素電極や、ELディスプレイにおける正孔注入電極又は電子注入電極（図10の123に相当）のように、組成物の間に生じる虫食い状の孔）が生じることなく、平坦化された配線を形成することができる。

【0127】

さらに、吐出口径の異なる複数のノズルから組成物を吐出するように吐出条件を制御することにより、図14のように、配線の線幅が異なるパターンを一度に形成することができる。

【0128】

さらに、吐出口径の異なる複数のノズルから組成物を吐出するように吐出条件を制御することにより、図15のように、絶縁膜12の一部に設けられたアスペクト比が高い開孔部に、組成物を充填させることができる。この方法によれば、ボイド（絶縁膜12と配線の間に生じる虫食い状の孔）が生じることなく、平坦化された配線を形成することができる。

【0129】

薄膜や配線の形成に用いられる液滴吐出システムにおいて、上記のごとく、薄膜パターンを示すデータを入力する入力手段と、前記データに基づいて、前記薄膜を構成する材料を含む組成物を吐出するためのノズルの移動経路を設定する設定手段と、基板上に形成されたアライメントマーカーを検出するための撮像手段と、前記ノズルの移動経路を制御する制御手段とを有する構成とすることにより、液滴吐出時におけるノズル又は基板の移動経路を的確に制御する必要がある。液滴吐出システムを制御するコンピュータに組成物吐出証特2004-3113577

出条件制御プログラムを読み込ませることにより、吐出する組成物やそのパターンに応じて、ノズル又は基板移動速度、組成物の吐出量・噴射距離・噴射速度、吐出環境の雰囲気・温度・湿度、基板加熱温度などの諸条件も的確に制御することができる。

【0130】

これによって、所望の太さ、厚さ、形状を有する薄膜や配線を、短いタクトタイム、高スループットの下で、所望の箇所に精度良く作製することができ、ひいては、それらの薄膜や配線を用いて作製したTFTのような半導体素子、該半導体素子を用いて作製した液晶ディスプレイ（LCD）、有機ELディスプレイのような発光装置、LSI等の製造歩留まりを向上させることができる。特に、本発明を用いることにより、任意の場所に薄膜や配線のパターンを形成でき、形成するパターンの太さ、厚さ、形状も調整できるので、一辺が1mを越える、例えば6畳分にも及ぶ大面積の半導体素子基板等も、低コストで歩留まり良く製造することができる。

【産業上の利用可能性】

【0131】

本発明は、上記方法を用いて、ソース領域及びドレイン領域を形成した後に、チャネル領域となる部分をチャネル保護膜として機能する絶縁膜で覆い、島状半導体膜を形成しているため、レジストマスクを設ける必要がなく、工程を簡略化することができる。このように、本発明は、ソース電極及びドレイン電極のメタルマスクを用いて一導電型半導体膜を除去し、ソース領域及びドレイン領域を形成するというチャネルエッチ型特有の方法と、その後、チャネル領域が除去されるのを防ぐためにチャネル保護膜を形成するというチャネル保護型特有の方法とを混合させた、新たなタイプの半導体素子の形成手段を有することを特徴としている。そして、本発明は、上記構成を備えていることにより、レジストマスクを全く用いることなく、ソース電極及びドレイン電極のメタルマスクのみで半導体素子を作製することができる。したがって、本発明に係る半導体素子、及びその作製方法は、液滴吐出法を積極的に利用しうる最適の構造、プロセスを提供するものとして有意である。

【図面の簡単な説明】

【0132】

【図1】本発明を用いたTFTの工程概略図

【図2】本発明を用いたTFTの工程概略図

【図3】本発明を用いた液晶表示パネルの工程概略図

【図4】本発明を用いた液晶表示パネルの工程概略図

【図5】本発明を用いた液晶表示パネルの工程概略図

【図6】本発明を用いたELパネルの工程概略図

【図7】本発明を利用したトップエミッション型、ボトムエミッション型、デュアルエミッション型発光装置についての説明図

【図8】酸化チタン膜の作製方法を説明する図

【図9】本発明を用いた電子機器の一例を説明する図

【図10】液滴吐出システムの構成を示す図

【図11】画素ピッチのn倍のピッチのノズルを用い、偶数、奇数番目の配線を分けて吐出形成する実施形態の説明図

【図12】異なる口径を有する複数のノズルで画素電極を吐出形成する実施形態の説明図

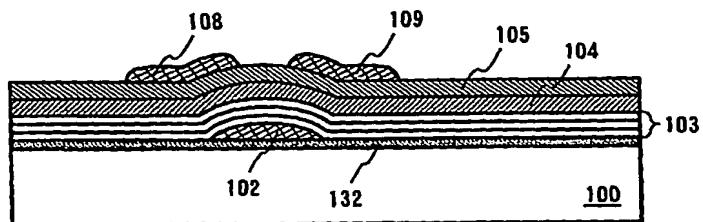
【図13】異なる口径を有する複数のノズルで平坦な配線を吐出形成する実施形態の説明図

【図14】異なる口径を有する複数のノズルで異なる線幅の配線を吐出形成する実施形態の説明図

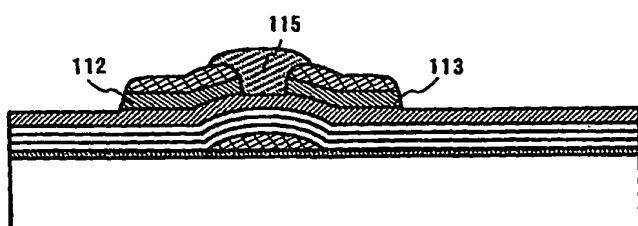
【図15】異なる口径を有する複数のノズルで開孔部に導電材料を吐出充填する実施形態の説明図

【書類名】図面
【図1】

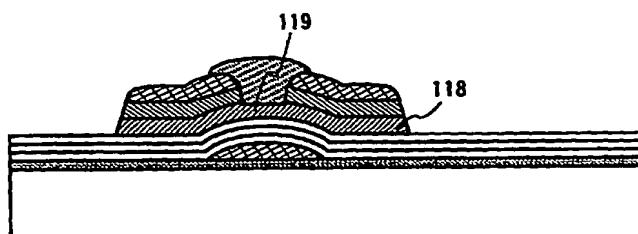
(A)



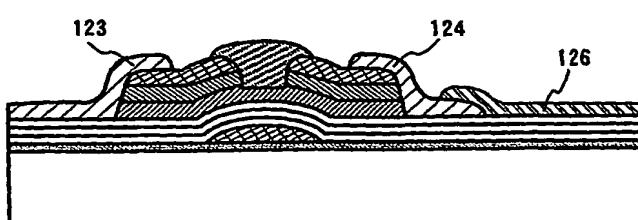
(B)



(C)

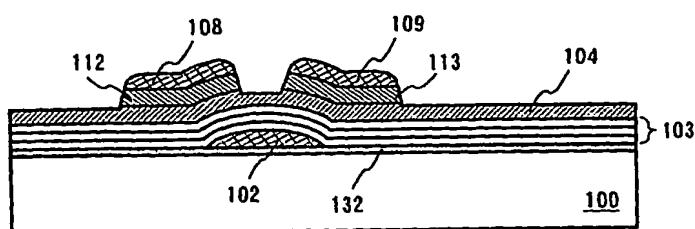


(D)

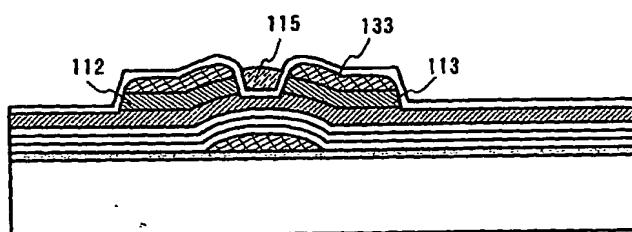


【図2】

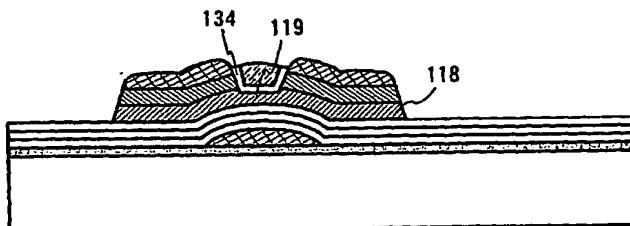
(A)



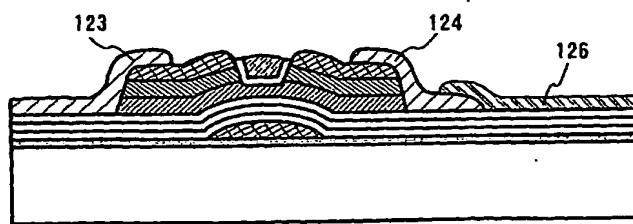
(B)



(C)

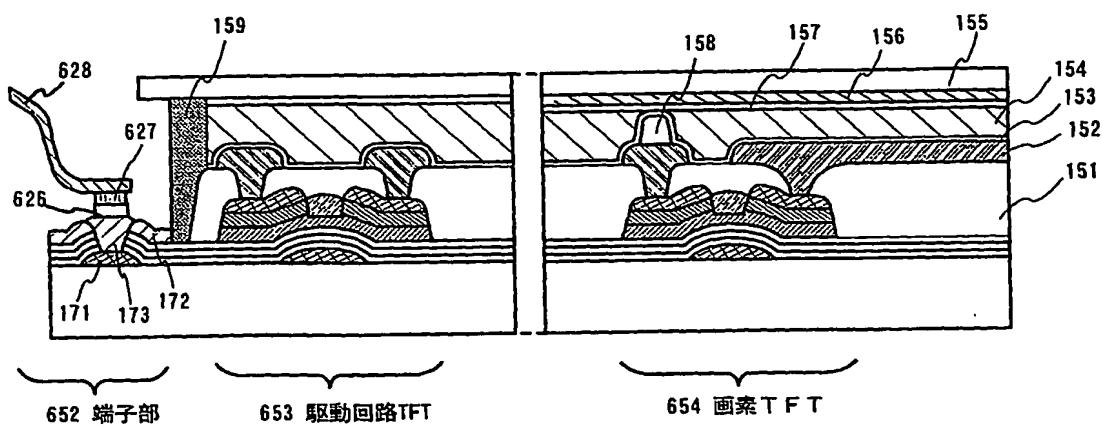


(D)

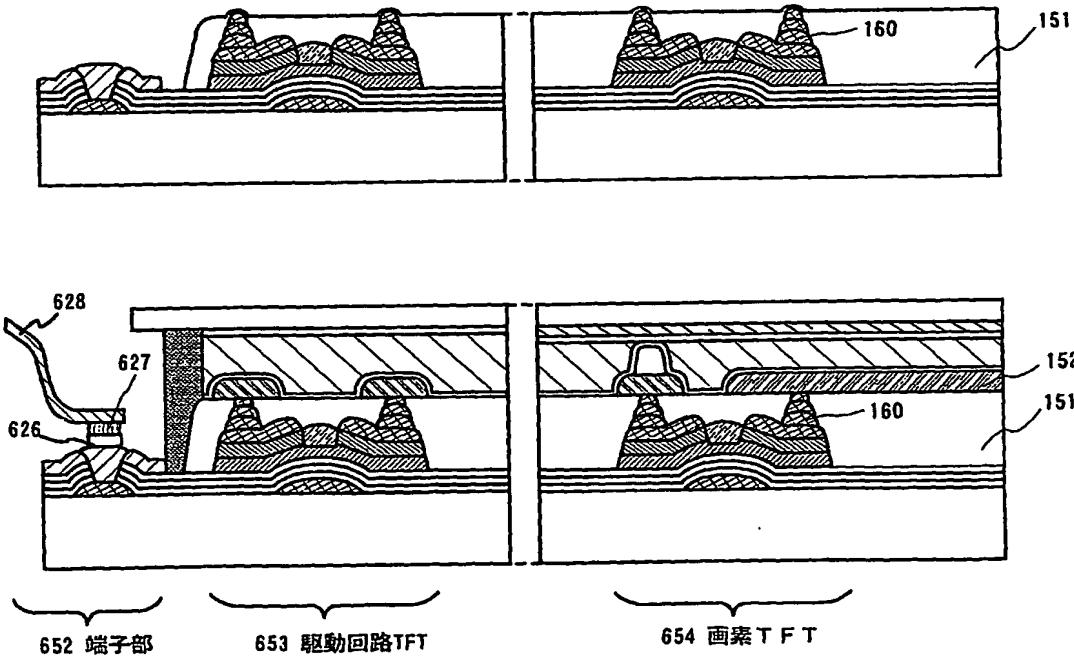


【図3】

(A) 平坦化膜の選択的形成 (ルーズコンタクト)

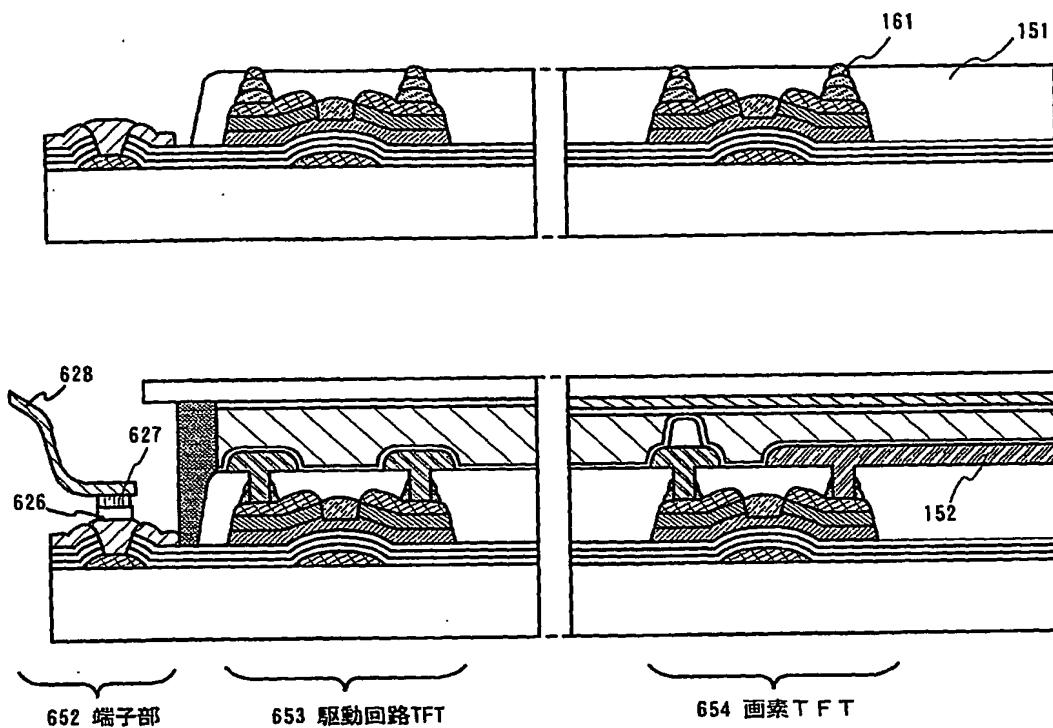


(B) ピラーコンタクト



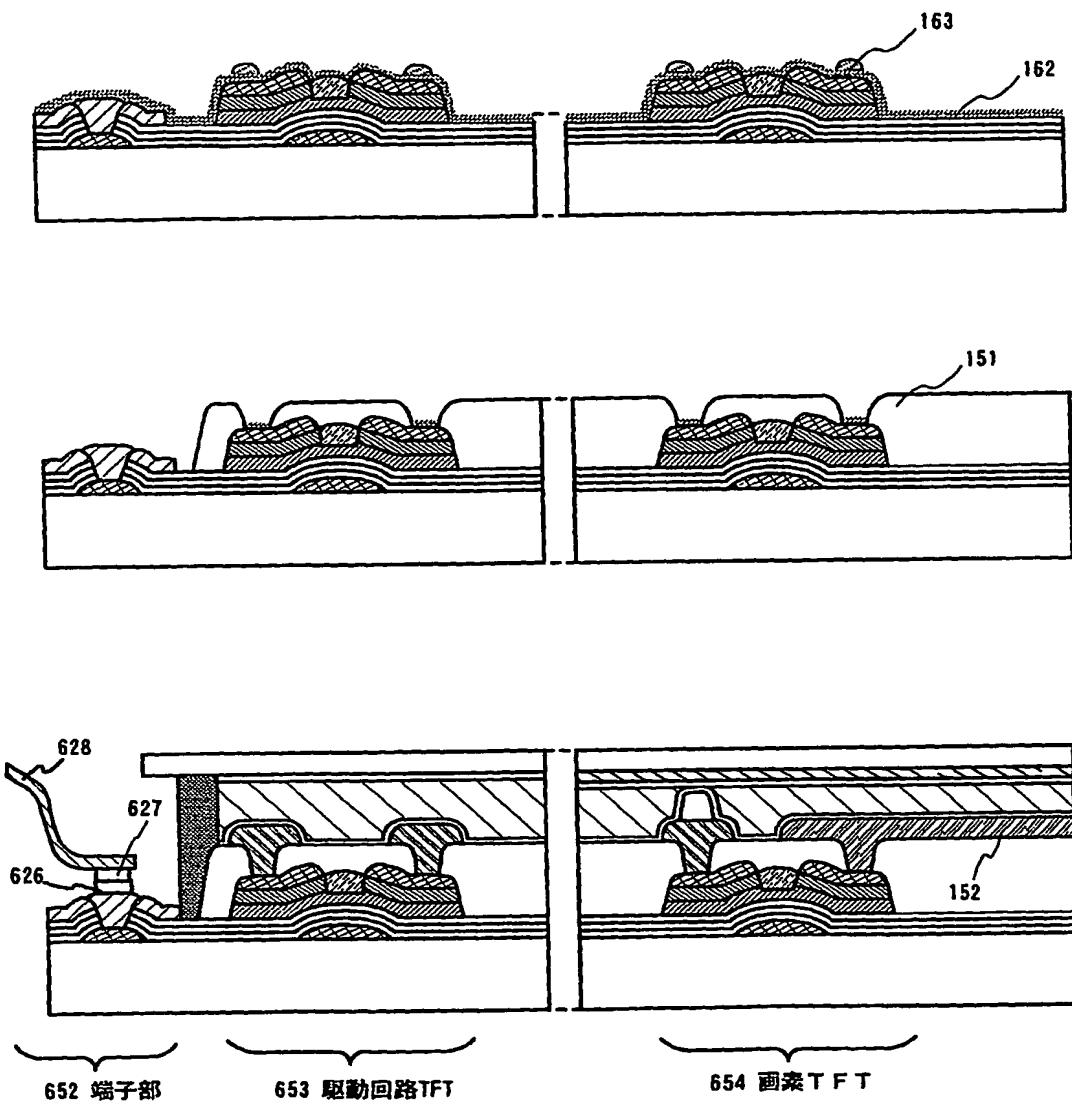
【図 4】

(C) 摩擦性有機膜を用いたコンタクト開孔①



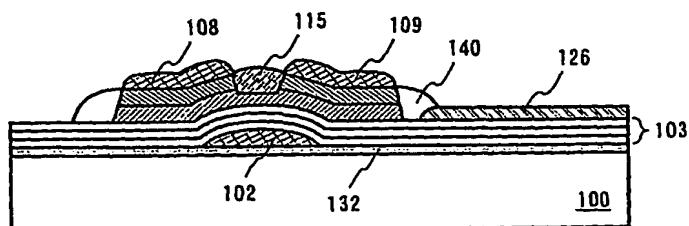
【図 5】

(D) 摺液性有機膜を用いたコンタクト開孔～2～

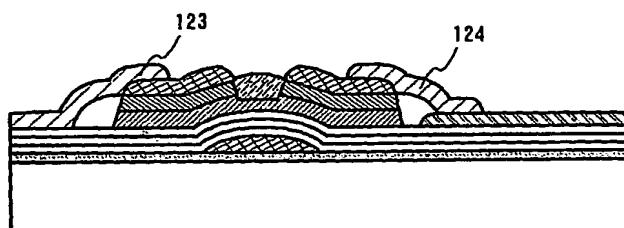


【図6】

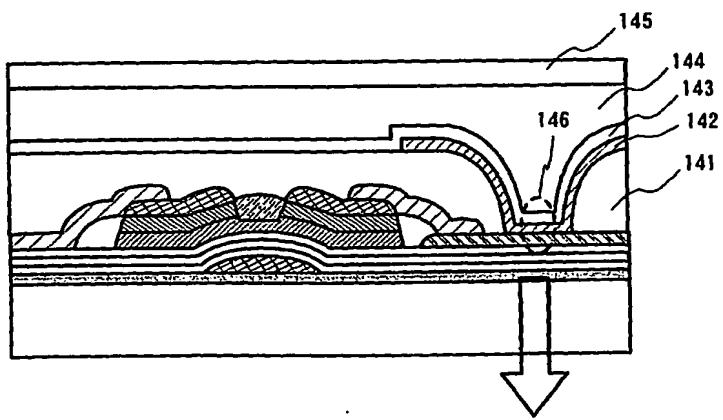
(A)



(B)

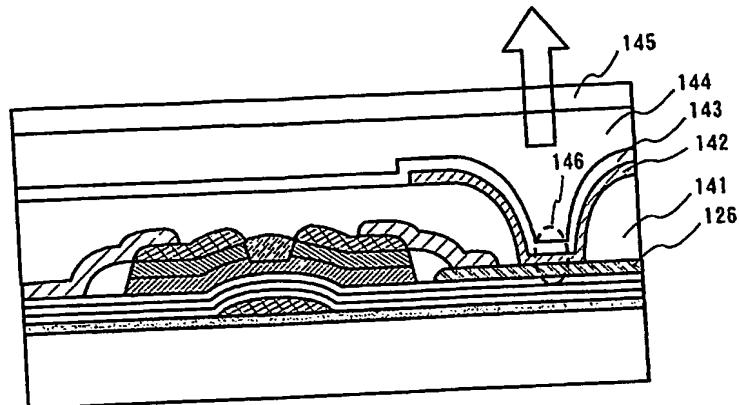


(C)

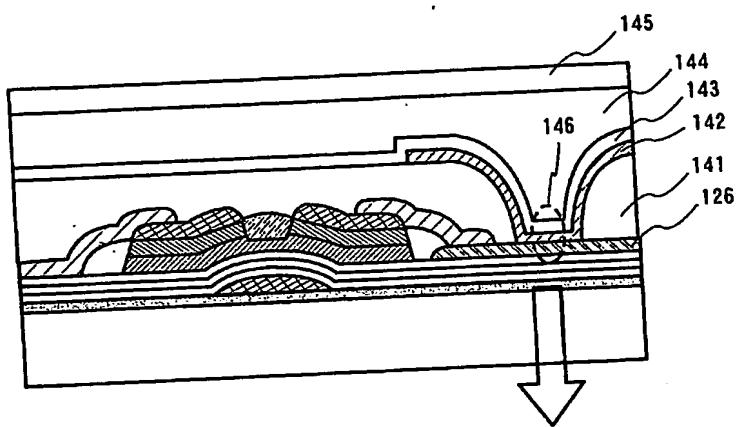


【図7】

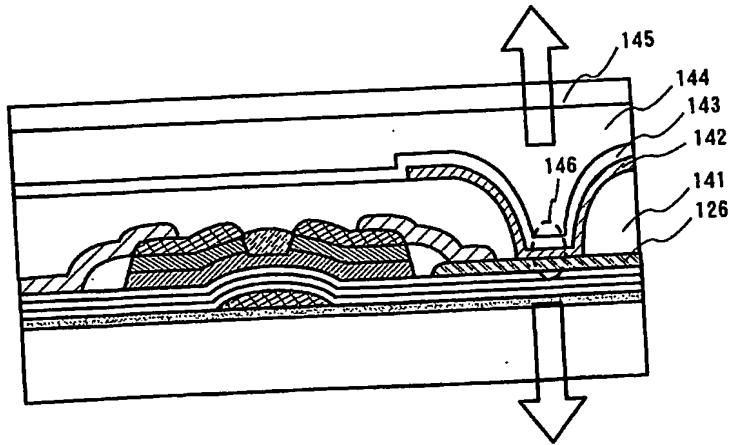
(A)



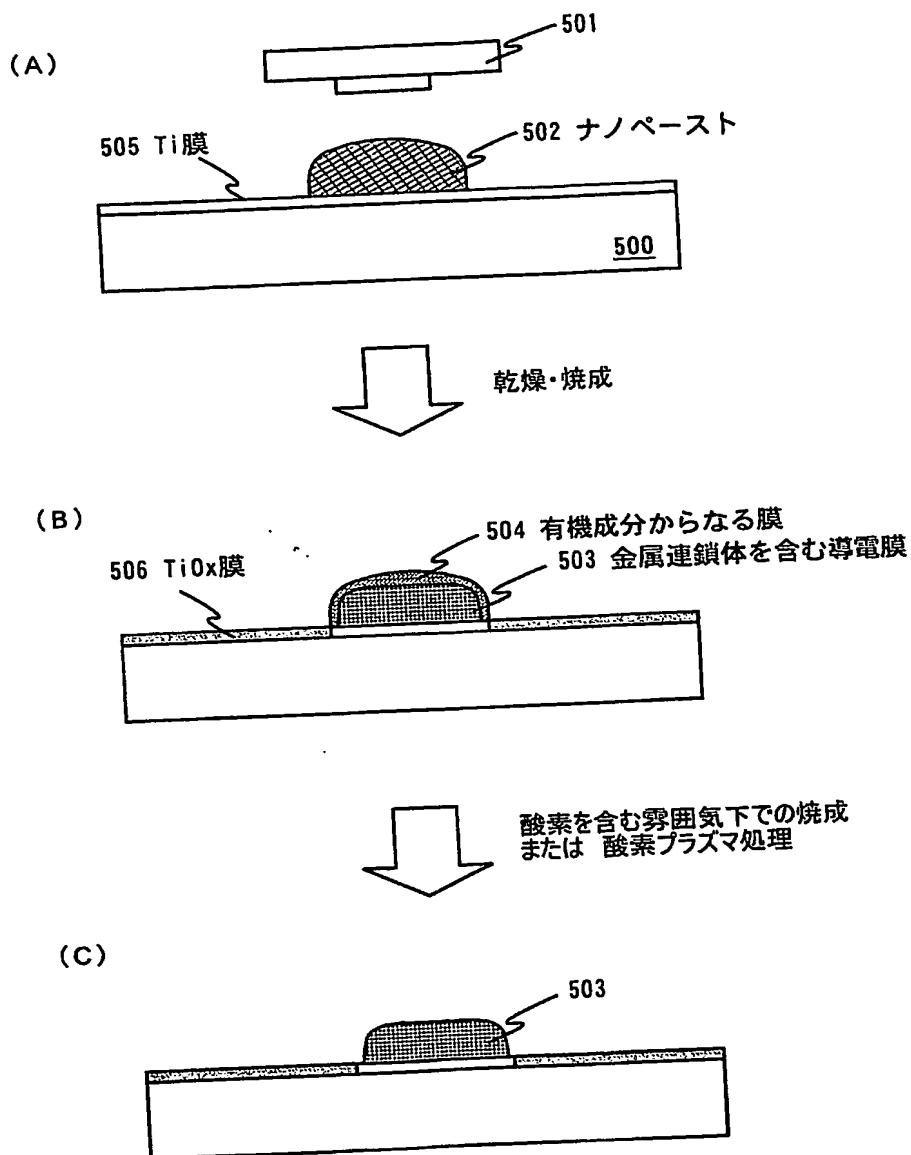
(B)



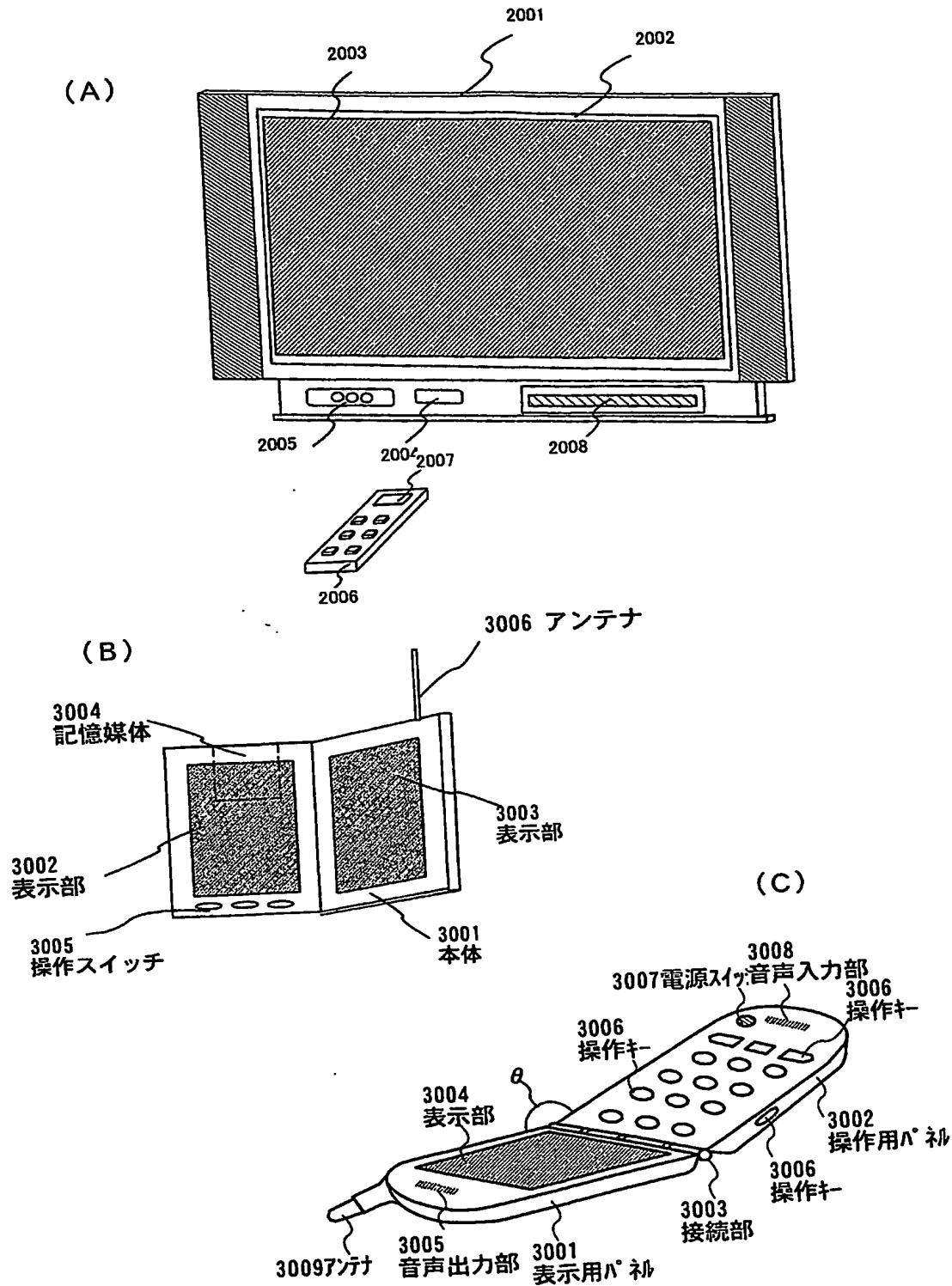
(C)



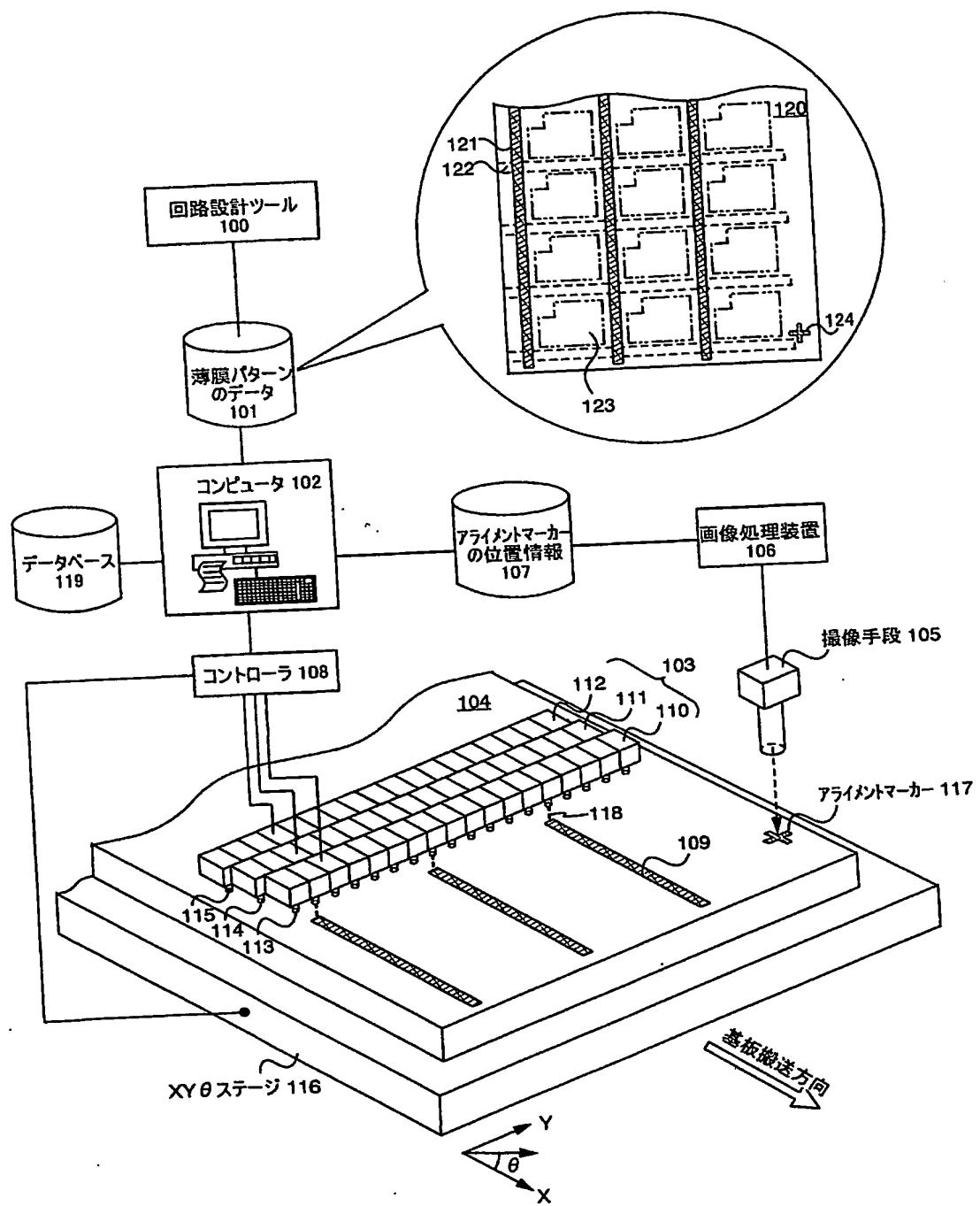
【図 8】



【図9】

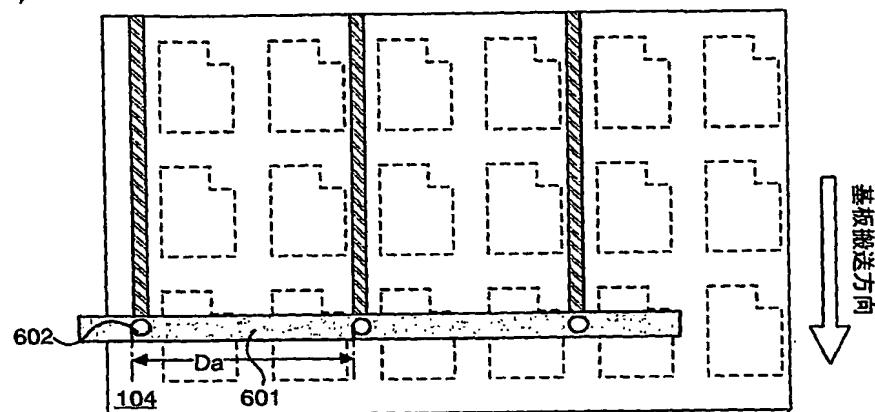


【図10】

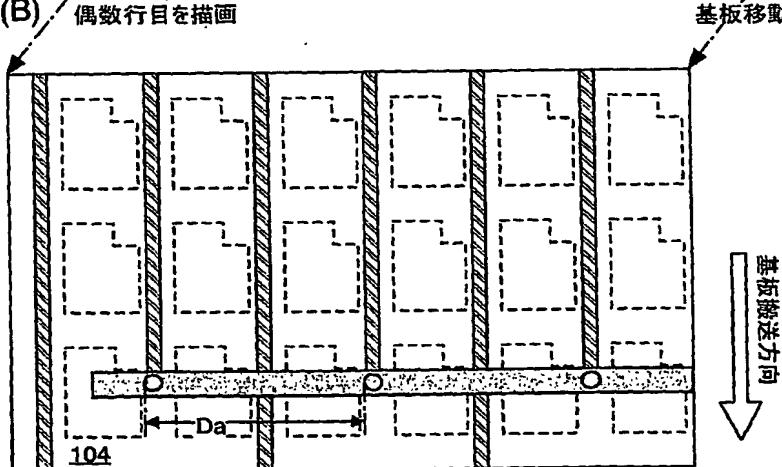


【図11】

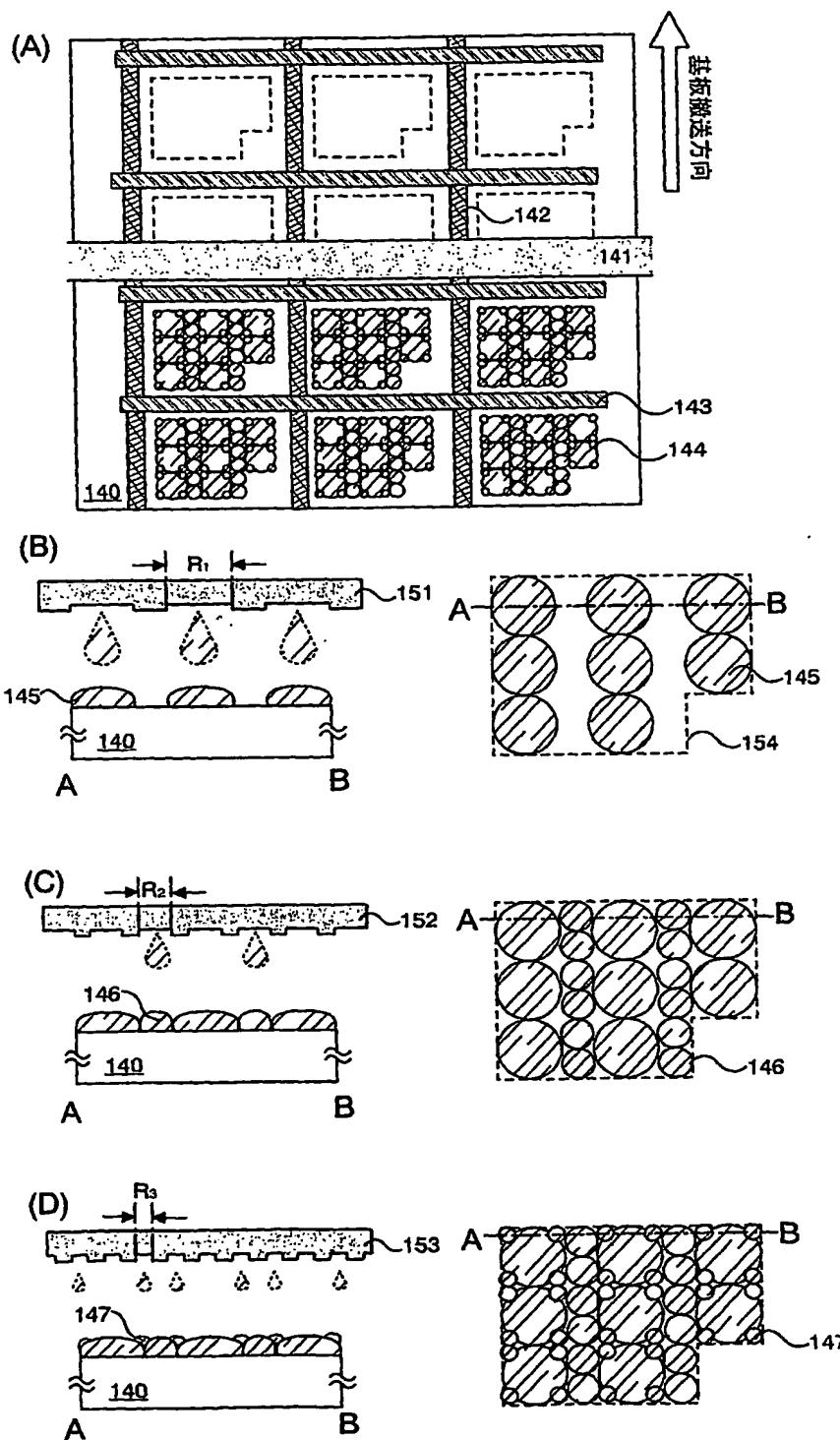
(A) 奇数行目を描画



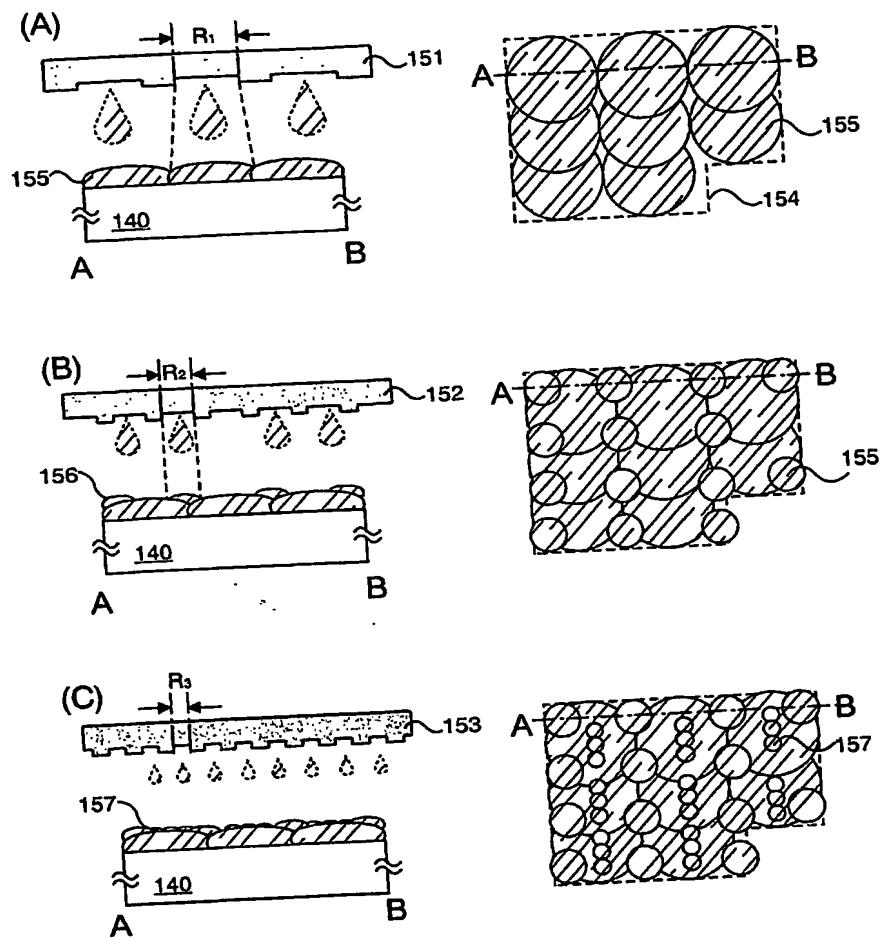
(B) 偶数行目を描画



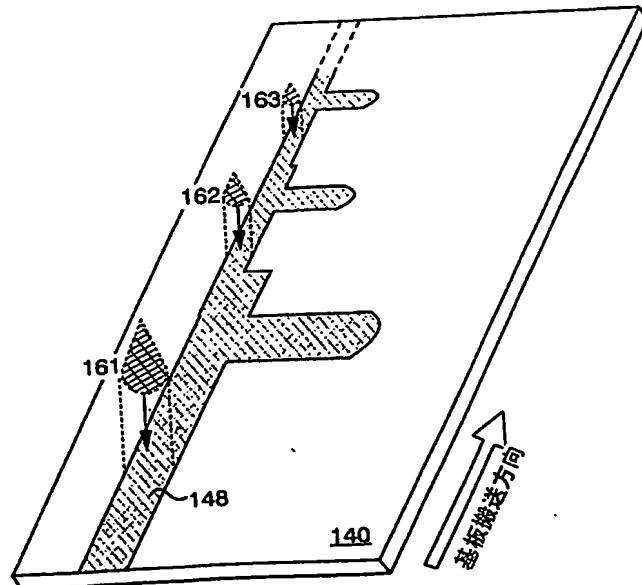
【図12】



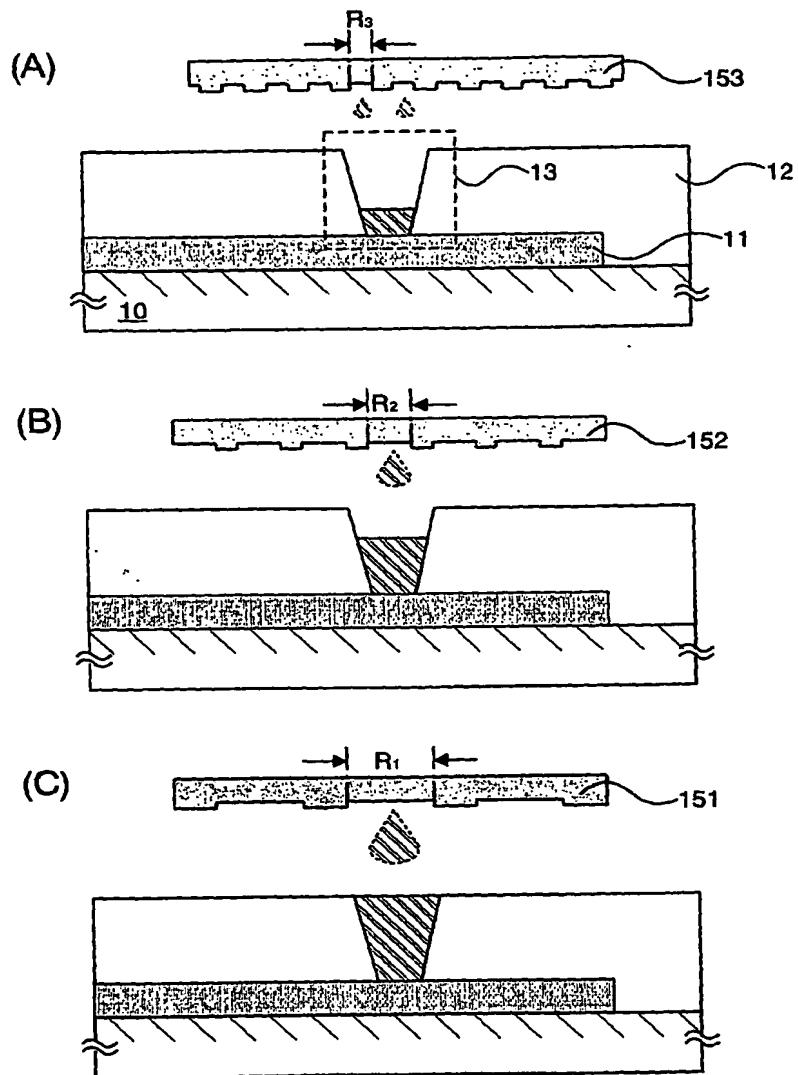
【図13】



【図14】



【図15】



【書類名】要約書

【要約】

【課題】 TFTを逆スタガ構造とする場合には、半導体膜及びn型の不純物元素を含む半導体膜を基板全面に形成した後、レジストマスク等を用いてエッチングを行うことにより、島状の半導体領域を形成し、さらに、メタルマスク等を用いてn型の不純物元素を含む半導体膜を分離し、ソース領域及びドレイン領域を形成していた。このように、島状の半導体領域を形成する際には、レジストマスクを露光、現像工程や液滴吐出工程を経て形成する必要があり、工程数、材料の種類の増加を招いていた。

【解決手段】 本発明は、ソース領域及びドレイン領域を形成した後に、チャネル領域となる部分をチャネル保護膜として機能する絶縁膜で覆い、島状半導体膜を形成しているため、レジストマスクを設ける必要がなく、メタルマスクのみで半導体素子を作製することができるため、工程を簡略化することができる。

【選択図】 図1

特願 2003-386021

出願人履歴情報

識別番号

[000153878]

1. 変更年月日

1990年 8月17日

[変更理由]

新規登録

住 所
氏 名

神奈川県厚木市長谷398番地
株式会社半導体エネルギー研究所